

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 4 月 22 日 (22.04.2004)

PCT

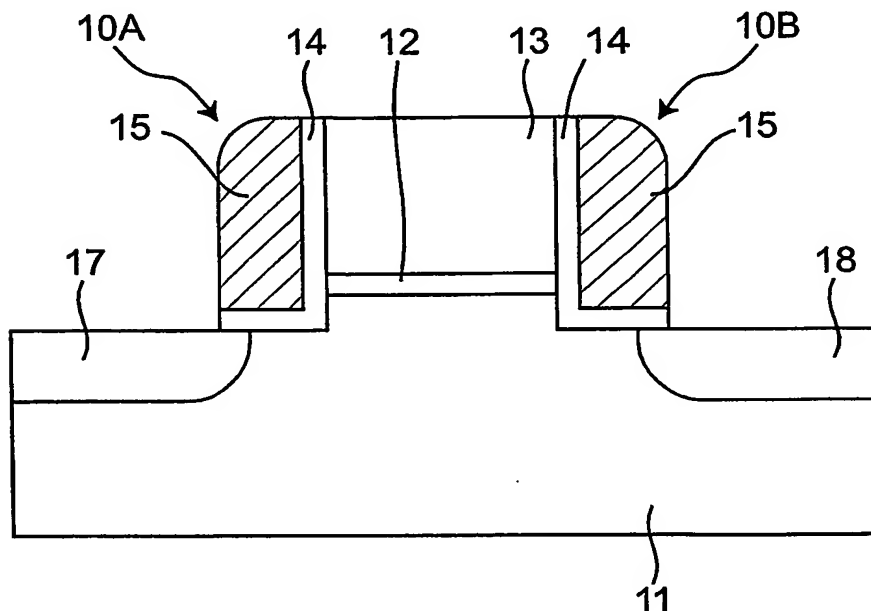
(10) 国際公開番号  
WO 2004/034474 A1

- (51) 国際特許分類<sup>7</sup>: H01L 29/788, 29/792, 27/115, 21/8247  
545-8522 大阪府 大阪市 阿倍野区長池町 2 2 番 2 2 号  
Osaka (JP).
- (21) 国際出願番号: PCT/JP2003/012583
- (22) 国際出願日: 2003 年 10 月 1 日 (01.10.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2002-296001 2002 年 10 月 9 日 (09.10.2002) JP  
特願2003-136453 2003 年 5 月 14 日 (14.05.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ  
株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒  
545-8522 大阪府 大阪市 阿倍野区長池町 2 2 番 2 2 号  
Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 岩田 浩  
(IWATA, Hiroshi) [JP/JP]; 〒 636-0813 奈良県 生駒郡  
三郷町信貴ヶ丘二丁目 4-1 3 Nara (JP). 柴田 晃秀  
(SHIBATA, Akihide) [JP/JP]; 〒 631-0803 奈良県 奈良  
市 山陵町 1 0 4-B 2 0 3 Nara (JP).
- (74) 代理人: 河宮 治, 外 (KAWAMIYA, Osamu et al.); 〒  
540-0001 大阪府 大阪市 中央区城見 1 丁目 3 番 7 号  
I M P ビル 青山特許事務所 Osaka (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,  
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A semiconductor storage comprises a semiconductor substrate (11) of a first conductivity type, a gate insulating film (12) and a gate electrode (13) formed on the substrate in this order, and charge holding portions (10A, 10B) respectively formed on both sides of the gate electrode (13). First and second diffusion layer regions (17, 18) of a second conductivity type are formed in regions of the semiconductor substrate (11) which regions respectively correspond to the charge holding portions (10A, 10B). The charge holding portions (10A, 10B) change the amount of electric current flowing from one of the first and second diffusion layer regions (17, 18) to the other through a channel region when a voltage is applied to the gate

electrode (13) in accordance with the amount of charge held in the charge holding portions (10A, 10B). The charge holding portions (10A, 10B) have a part located below the interface between the gate insulating film (12) and the channel region.

(57) 要約: 半導体記憶装置では、第 1 導電型の半導体基板 (11) 上にゲート絶縁膜 (12) とゲート電極 (13) が積層され、ゲート電極 (13) の両側に電荷保持部 (10A, 10B) が夫々形成されている。また、電荷保持部 (10A, 10B) に対応する半導体基板 11 の領域に第 2 導電型の第 1, 第 2 の拡散層領域 (17, 18) が夫々形成されている。そして、電荷保持部 (10A, 10B) は、電荷保持部 (10A, 10B) に保持された電荷の多寡に応じて、ゲート電極 (13) に電圧を印加したときにチャネル領域を介して第 1, 第 2 の拡散層領域 (17, 18) の一方から他方に流れる電流量を変化させる。また、電荷保持部 (10A, 10B) の一部は、ゲート絶縁膜 (12) とチャネル領域との界面より下下に存する。



HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT,  
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO,  
NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,  
SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,  
VN, YU, ZA, ZM, ZW.

GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),  
OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,  
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許  
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

2 文字コード及び他の略語については、定期発行される  
各 PCT ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 明 細 書

## 半導体記憶装置

## 5 技術分野

この発明は、半導体記憶装置に関し、特に、電荷量の変化を電流量に変換する機能を有する電界効果トランジスタを有する半導体記憶装置に関する。

## 背景技術

10 従来、半導体記憶装置としては、1つの電界効果トランジスタで2ビットの記憶が可能な不揮発性メモリがある（例えば、特表2001-512290公報（公表日 平成13年8月21日）参照）。この不揮発性メモリの構造と、書込み動作原理を以下に説明する。

上記不揮発性メモリは、図25に示すように、P型ウェル領域901上にゲート絶縁膜を介して形成されたゲート電極909、P型ウェル領域901表面に形成された第1のN型拡散層領域902および第2のN型拡散層領域903から構成される。上記ゲート絶縁膜は、シリコン酸化膜904、905の間にシリコン窒化膜906が挟まれた、いわゆるONO（Oxide Nitride Oxide）膜からなる。上記シリコン窒化膜906中には、第1および第2のN型拡散層領域902、903の端部付近に、それぞれ記憶保持部907、908が形成されている。上記記憶保持部907、908のそれぞれの個所での電荷の多寡をトランジスタのドレイン電流として読み出すことにより、1トランジスタで2ビットの情報を記憶させることができる。

25 次に、この不揮発性メモリにおける書込み動作方法を説明する。ここで、書込みとは、記憶保持部907、908に電子を注入することを指すこととする。特表2001-512290公報では、右側の記憶保持部908に電子を注入させるために、第2の拡散層領域903に5.5Vを、ゲート電極909に10Vを印加する方法が開示されている。これにより、2つある記憶保持部の特定の側に書込みをすることができる。特定の側の消去および読み出しを行う方法も開示さ

れており、これらの方法を総合して2ビット動作が可能となっている。

ところで、上記不揮発性メモリでは、ゲート絶縁膜は、トランジスタを動作させるための機能と、電荷を蓄積するメモリ膜としての機能を併せ持たせるために、ONO膜の3層構造となっている。そのため、上記不揮発性メモリでは、ゲート絶縁膜の薄膜化が難しく、素子の微細化が困難であるという問題がある。また、上記不揮発性メモリでは、チャネル長が短くなるにつれ、1つのトランジスタの記憶保持部907、908の2箇所が互いに干渉して2ビット動作が困難になるため、さらなる素子の微細化が果たせなかった。

## 10 発明の開示

そこで、この発明の目的は、1つのトランジスタで2ビット以上の記憶保持動作が可能でかつ微細化が容易な半導体記憶装置を提供することにある。

上記目的を達成するため、この発明の半導体記憶装置は、半導体基板、半導体基板内に設けられたウェル領域または絶縁体上に配置された半導体膜のうちのいずれか1つからなる第1導電型（例えばP型又はN型の一方）の半導体部材と、その第1導電型の半導体部材上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記ゲート電極の両側に夫々形成された電荷保持部と、上記電荷保持部に対応する第1導電型の半導体部材の領域に夫々形成された第2導電型（例えばP型又はN型の他方）の拡散層領域と、上記ゲート電極下に配置されたチャネル領域とを備える。そして、上記電荷保持部は、電荷保持部に保持された電荷の多寡に応じて、ゲート電極に電圧を印加したときにチャネル領域を介して第2導電型の拡散層領域の一方から他方に流れる電流量を変化させると共に、上記電荷保持部の一部は、ゲート絶縁膜とチャネル領域との界面よりも下に存している。ここで、電荷保持部とは、電子または正孔を注入、抜取りが可能な機能を有するものである。

上記構成の半導体記憶装置によれば、上記電荷保持部の電荷量の変化を電流量に変換することによりメモリ素子として動作させる。上記ゲート電極の両側に形成された2つの電荷保持部は、上記ゲート絶縁膜から独立して形成されているので、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能

とは分離されている。そのため、十分なメモリ機能を有したままゲート絶縁膜を薄膜化して短チャネル効果を抑制することが容易にできる。

また、ゲート電極の両側に形成された2つの電荷保持部は、ゲート電極により分離されているので書換え時の干渉が効果的に抑制される。言い換えれば、2つの電荷保持部間の距離を小さくすることができる。したがって、1つのトランジスタで2ビット以上の記憶保持動作が可能でかつ微細化が容易な半導体記憶装置を実現できる。

さらには、上記電荷保持部の一部は、上記ゲート絶縁膜とチャネル領域とがなす界面よりも下に存するため、書込み動作時において高エネルギーの電荷の進行方向に電荷保持部が存することになる。そのため、電荷保持部への電荷注入効率が著しく向上し、書込み動作の速度を飛躍的に向上することができる。もしくは、書込み時の電流を小さくした場合は、書込み時の消費電力を低減することができる。

上記の半導体記憶装置は、上記ゲート絶縁膜とチャネル領域との界面と、その界面と略平行でかつ上記電荷保持部の最下部を通る面との距離を2 nm～15 nmとしてもよい。

上記の構成によれば、上記電荷保持部とゲート絶縁膜との位置関係を最適化し、半導体記憶装置の動作速度を十分高速に保つことができる。

上記の半導体記憶装置において、上記電荷保持部は、電荷を保持する機能を有する第1の絶縁体と、上記第1の絶縁体と上記ゲート電極、チャネル領域および拡散層領域を隔てることにより上記第1の絶縁体に保持された電荷の散逸を防ぐ機能を有する第2の絶縁体とを有する構成としてもよい。

上記の構成によれば、上記第1の絶縁膜に保持された電荷が散逸するのを、上記第2の絶縁体により効果的に防ぐことができる。したがって、電荷の保持特性の良い半導体記憶装置が提供される。

上記の半導体記憶装置において、上記電荷保持部は、電荷を蓄積する機能を有する第1の絶縁体と、第1の絶縁体に保持された電荷の散逸を防ぐ機能を有する第2および第3の絶縁体とを有し、第1の絶縁体が第2の絶縁体と第3の絶縁体とに挟まれている構成としてもよい。

上記の構成によれば、上記電荷保持部に注入された電荷は、上記第2および第3の絶縁体によりブロックされて、上記第1の絶縁体に効率よく蓄積する。したがって、電荷保持部への電荷注入効率が上がり、書換え動作（書込みおよび消去動作）の高速化が実現する。

- 5       上記の半導体記憶装置は、上記第1の絶縁体がシリコン窒化膜であり、上記第2および第3の絶縁体がシリコン酸化膜である構成としてもよい。

10       上記の構成によれば、電荷をトラップする準位が多数存在するシリコン窒化膜を第1の絶縁体として用い、バンドギャップが大きいシリコン酸化膜を第2および第3の絶縁体として用いるため、大きなヒステリシス特性を有し、保持特性の優れた半導体記憶装置が提供される。さらには、シリコン窒化膜およびシリコン酸化膜ともにLSIプロセスでごく標準的に用いられる材料であり、製造が容易であるという利点を有する。

- 15       上記の半導体記憶装置において、第2の絶縁体は、第1の絶縁体と上記ゲート電極、チャネル領域および拡散層領域とを隔てるように設けられ、上記チャネル領域上における第2の絶縁体の厚さが、上記ゲート絶縁膜の厚さよりも薄く、かつ0.8nm以上である構成としてもよい。

20       上記の構成によれば、電荷保持膜である第1の絶縁体とチャネル領域とを隔てる第2の絶縁体の厚さが、ゲート絶縁膜の膜厚より薄く、かつ0.8nm以上であるから、メモリの耐圧性能を低下させることなく書込み動作および消去動作の電圧を低下させ、又は書込み動作および消去動作を高速にすることが可能となり、メモリ効果を増大することが可能となる。

- 25       なお、メモリ効果とは、電荷保持膜（電荷保持部）に保持された電荷の多寡に応じて、ゲート電極に電圧を印加したときにチャネル領域を介して拡散層領域の一方から他方に流れる電流量が変化することであり、メモリ効果が大きいとは、上記電流量の変化が大きいことである。

      上記の半導体記憶装置において、第2の絶縁体は、第1の絶縁体と上記ゲート電極、チャネル領域および拡散層領域とを隔てるように設けられ、上記チャネル領域上における第2の絶縁体の厚さが、上記ゲート絶縁膜の厚さよりも厚く、かつ20nm以下である構成としてもよい。

上記の構成によれば、電荷保持膜とチャネル領域とを隔てる絶縁体の厚さが、ゲート絶縁膜の膜厚より厚く、かつ20nm以下であるから、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

5 上記の半導体記憶装置において、第1の絶縁体には、第2の絶縁体を介して上記ゲート絶縁膜の表面と平行な面と対向し、この面に沿って広がった面を有する部分が含まれている（例えばゲート絶縁膜の表面と略平行な表面を有する部分が含まれている）構成としてもよい。

上記の構成によれば、半導体記憶装置の保持特性の悪化を防ぎながら書換え速度を高速にすることができる。

10 上記の半導体記憶装置において、第1の絶縁体には、第2の絶縁体を介して上記ゲート電極の側面と対向し、この側面に沿って広がった部分が含まれている（例えばゲート電極の側面と略平行な表面を有する部分が含まれている）構成としてもよい。

上記の構成によれば、半導体記憶装置の書換え動作を高速にすることができる。

15 上記の半導体記憶装置において、上記電荷保持部は、その少なくとも一部が、チャネル長方向において、上記拡散層領域と重なり合うように形成されている構成としてもよい。

20 また、上記の半導体記憶装置において、上記の両拡散領域間の距離は、チャネル長方向のゲート電極長よりも長くなるように設定され、上記電荷保持部は、その一部のみが、チャネル長方向において、上記拡散層領域と重なり合うように形成されている構成としてもよい。

上記の構成によれば、半導体記憶装置の読出し電流を大きくし、読出し電流のばらつきを抑えることができるので、半導体記憶装置の読出し動作を高速にすることができる。

25

#### 図面の簡単な説明

図1はこの発明の実施の形態1の半導体記憶装置の一形態を示す要部の概略断面図である。

図2は図1の一部を拡大した図である。

図 3 はこの発明の実施の形態 1 の半導体記憶装置の一変例を示す要部の概略断面図である。

図 4 はこの発明の実施の形態 1 の半導体記憶装置の他の変形例を示す要部の概略断面図である。

5 図 5 は第 2 の電荷保持部への書込み方法を説明するための図である。

図 6 は第 1 の電荷保持部への書込み方法を説明するための図である。

図 7 は上記半導体記憶装置におけるゲート絶縁膜と電荷保持部との位置関係を説明する図である。

10 図 8 は上記半導体記憶装置におけるゲート絶縁膜と電荷保持部との位置関係を説明する図である。

図 9 はこの発明の半導体記憶装置の基本構造を示す要部の概略断面図である。

図 10 は図 9 の一部を拡大した図である。

図 11 はこの発明の実施の形態 2 の半導体記憶装置の要部の概略断面図である。

図 12 は図 11 の一部を拡大した図である。

15 図 13 は図 11 の変形例の一部を拡大した図である。

図 14 は電荷保持部の下端面がゲート絶縁膜と半導体基板との界面と同一レベルにあることを除いては図 11、12 に示す半導体記憶装置と同じ構造を有する半導体記憶装置の電気特性を示すグラフである。

図 15 はこの発明の実施の形態 2 の変形例の要部の概略断面図である。

20 図 16 はこの発明の実施の形態 3 の半導体記憶装置の要部の概略断面図である。

図 17 はこの発明の実施の形態 4 の半導体記憶装置の要部の概略断面図である。

図 18 はこの発明の実施の形態 5 の半導体記憶装置の要部の概略断面図である。

図 19 はこの発明の実施の形態 6 の半導体記憶装置の要部の概略断面図である。

図 20 はこの発明の実施の形態 7 の半導体記憶装置の要部の概略断面図である。

25 図 21 はこの発明の実施の形態 8 の半導体記憶装置の要部の概略断面図である。

図 22 は電荷保持部の下端面がゲート絶縁膜と半導体基板との界面と同一レベルにあることを除いては図 21 に示す半導体記憶装置と同じ構造を有する半導体記憶装置の電気特性を示すグラフである。

図 23 は従来技術であるフラッシュメモリの電気特性を示すグラフである。



図 2 4 はこの発明の半導体記憶装置の他の例を示す要部の概略断面図である。

図 2 5 は従来の半導体記憶装置を示す要部の概略断面図である。

#### 発明を実施するための最良の形態

5       以下、この発明の半導体記憶装置を図示の実施の形態により詳細に説明する。

##### (実施の形態 1)

まず、この発明の半導体記憶装置を構成するメモリ素子を説明するにあたり、この発明を適用するメモリ素子の前提となる基本構造を図 9 および図 1 0 を用いて説明する。

10       図 9 はメモリ素子の概略断面図を示している。図 9 に示すように、上記メモリ素子は、2 ビットの記憶が可能な不揮発性メモリセルとして、第 1 導電型（例えば P 型又は N 型の一方）の半導体部材の一例としての半導体基板 1 1 上に、ゲート絶縁膜 1 2 を介して通常のトランジスタと同程度のゲート長を有するゲート電極 1 3 を形成しており、積層されたゲート絶縁膜 1 2 およびゲート電極 1 3 の側壁に、サイドウォールスペーサ形状の電荷保持部 1 0 A, 1 0 B を形成している。

15       すなわち、積層されたゲート絶縁膜 1 2 およびゲート電極 1 3 の両側壁の一方には、電荷保持部 1 0 A, 1 0 B のうちの一方が設けられ、両側壁の他方には、電荷保持部 1 0 A, 1 0 B のうちの他方が設けられている。

20       また、電荷保持部 1 0 A, 1 0 B に対応する半導体基板 1 1 の領域に、かつゲート電極 1 3 と反対の側に、それぞれ第 2 導電型（例えば P 型又は N 型の他方）の第 1 の拡散層領域 1 7 と第 2 導電型の第 2 の拡散層領域 1 8 を形成している。この第 1, 第 2 の拡散層領域 1 7, 1 8（ソース／ドレイン領域）は、ゲート電極 1 3 の端部に対して（ゲート電極 1 3 が形成された領域 4 1 から）オフセットされている。したがって、半導体基板 1 1 における、ゲート電極 1 3 の各端部と

25       第 1, 第 2 の拡散層領域 1 7, 1 8 との間はそれぞれオフセット領域 4 2 となっている。

このように、上記メモリ素子の電荷保持部 1 0 A, 1 0 B は、ゲート絶縁膜 1 2 から独立して形成されている。したがって、電荷保持部 1 0 A, 1 0 B が担うメモリ機能と、ゲート絶縁膜 1 2 が担うトランジスタ動作機能とは分離されてい

る。また、ゲート電極 13 の両側に形成された 2 つの電荷保持部 10A, 10B は、ゲート電極 13 により分離されているので、書換え時の干渉が効果的に抑制される。したがって、このメモリ素子は、2 ビット以上の記憶が可能で、かつ微細化が容易にできる。

5       また、上記第 1, 第 2 の拡散層領域 17, 18 がゲート電極 13 からオフセットされていることにより、ゲート電極 13 に電圧を印加したとき、電荷保持部 10A, 10B 下（半導体基板 11 における電荷保持部 10A, 10B との対向部）のオフセット領域 42 の反転しやすさを、電荷保持部 10A, 10B に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。なお、メモリ効果とは、電荷保持膜（電荷保持部 10A, 10B）に保持された電荷の多寡に応じて、ゲート電極 13 に電圧を印加したときにチャネル領域を介して拡散層領域の一方から他方に流れる電流量が変化することであり、メモリ効果が大きいとは、上記電流量の変化が大きいことである。

10       さらに、第 1, 第 2 の拡散層領域 17, 18 がゲート電極 13 からオフセットされた構造により、通常のロジックトランジスタと比較して、短チャネル効果を強力に防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることが可能となる。

15       図 10 は、図 9 のサイドウォールスペーサ形状の電荷保持部 10B 付近の拡大図である。図 10 に示すように、電荷保持部 10A, 10B（図 10 では 10B のみを示す）は、サイドウォール形状をした第 1 の絶縁膜の一例としてのシリコン窒化膜 15 と、このシリコン窒化膜 15 とゲート電極 13、半導体基板 11 および第 1, 第 2 の拡散層領域 17, 18 とを隔てる第 2 の絶縁膜の一例としてのシリコン酸化膜 14 とからなる。電荷（電子または正孔）を蓄積する機能を有するのはシリコン窒化膜 15 であり、シリコン酸化膜 14 はシリコン窒化膜 15 に蓄積された電荷の漏れを防いでいる。

20       次に、この発明の半導体記憶装置を構成するメモリ素子の実施形態を、図 1 ～ 図 8 を用いて説明する。図 1 から図 4 はそれぞれメモリ素子の実施の形態を示す

ものである。図 1 および図 2 はメモリ素子の実施の一形態およびその一部の拡大図であり、図 3 は図 1 の構成を一部変更した一変形例であり、図 4 は他の変形例である。図 5, 図 6 はこれら実施形態における書込み動作を説明する図であり、図 7 および図 8 はメモリ素子におけるゲート絶縁膜と電荷保持部との位置関係を説明する図である。

図 1 はこの発明の半導体記憶装置の実施の一形態としてのメモリ素子の概略断面図を示している。このメモリ素子は、図 9 に示すメモリ素子の基本構造とは、ゲート絶縁膜 1 2 と電荷保持部 1 0 A, 1 0 B との位置関係において異なっている。すなわち、図 1 に示すのメモリ素子においては、電荷保持部 1 0 A, 1 0 B の一部が、ゲート絶縁膜 1 2 と半導体基板 1 1 との界面より下に存している。なお、半導体基板 1 1 の表層部がチャネル領域となる。

なお、図 1 に示すメモリ素子において、図 9 に示すメモリ素子と同一構成部は同一参照番号を付して説明を省略する。

図 2 は、図 1 のサイドウォールスペーサ形状の電荷保持部 1 0 B 付近の拡大図である。図 2 に示すように、電荷保持部 1 0 A, 1 0 B (図 2 では 1 0 B のみを示す) は、サイドウォール形状をしたシリコン窒化膜 1 5 と、このシリコン窒化膜 1 5 とゲート電極 1 3, 半導体基板 1 1 および第 1, 第 2 の拡散層領域 1 7, 1 8 (ソース/ドレイン領域) とを隔てるシリコン酸化膜 1 4 とからなる。電荷 (電子または正孔) を蓄積する機能を有するのはシリコン窒化膜 1 5 であり、シリコン酸化膜 1 4 はシリコン窒化膜 1 5 に蓄積された電荷の漏れを防いでいる。

図 3 はこの発明のメモリ素子 (半導体記憶装置) の一変形例としてのメモリ素子の概略断面図を示しており、図 1 および図 2 に示すメモリ素子とは、電荷保持部の構成が異なる。すなわち、図 3 に示すように、電荷保持部 2 0 A, 2 0 B は、電荷をトラップする機能を有する第 1 の絶縁膜の一例としてのシリコン窒化膜 2 2 が、第 2 の絶縁膜の一例としてのシリコン酸化膜 2 1, 2 3 に挟まれた構造を有している。

なお、図 3 に示すメモリ素子において、図 9 に示すメモリ素子と同一構成部は同一参照番号を付して説明を省略する。

図 4 はこの発明のメモリ素子 (半導体記憶装置) の他の変形例としてのメモリ

素子の概略断面図を示しており、このメモリ素子は、図3に示すメモリ素子とは基板の構成が異なる。すなわち、図4に示すように、絶縁体層71上に半導体層72が形成された基板を用いている。このような基板となる例としては、SOI基板（絶縁体層71が埋め込み酸化膜に、半導体層72がSOI層にそれぞれ対応）を用いた場合やウェハ貼り合わせ技術を用いた場合がある。

なお、図4に示すメモリ素子において、図9に示すメモリ素子と同一構成部は同一参照番号を付して説明を省略する。

上記他の変形例（図4）としてのメモリ素子は、上記一変形例（図3）としてのメモリ素子と同様の効果を有している。

上記メモリ素子（図1～図4）は、電荷保持部10A、10B（20A、20B）の一部が、ゲート絶縁膜12と半導体基板11（半導体層72）との界面より下側に存するという特徴を有している。ゲート絶縁膜12と電荷保持部10A、10B（20A、20B）をこのように配置することにより得られる効果を以下に説明する。

上記メモリ素子によれば、書込み動作を高速化することができる。ここで書込み動作とは、メモリ素子がN型である場合は電荷保持部に電子を注入することであり、メモリ素子がP型である場合は電荷保持部に正孔を注入することとする。

次に、上記メモリ素子の書込み方法について、図5、図6を用いて説明する。なお、書込み方法は、基本構造を有するメモリ素子であっても、そのいずれの実施形態であっても共通である。このメモリ素子の書込み方法は、ドレイン電界により加速された電子を電荷保持部に注入することにより行う。

まず、第2の電荷保持部20Bに電子を注入する（書込む）ためには、図5に示すように、第1の拡散層領域17をソース電極とし、第2の拡散層領域18をドレイン電極とする。例えば、第1の拡散層領域17および半導体基板11に0V、第2の拡散層領域18に+5V、ゲート電極13に+5Vを印加すればよい。このような電圧条件によれば、反転層31が、第1の拡散層領域17（ソース電極）から伸びるが、第2の拡散層領域18（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散層領域18（ドレイン電極）までドレイン電界により加速され、第2の電荷保持部20B（より

正確には第2の電荷保持部20B内のシリコン窒化膜22)に注入されて、書込みが行なわれる。

なお、第1の電荷保持部20A近傍では、ドレイン電界により加速された電子が発生しないため、書込みは行なわれない。また、書込み動作のための電圧は上記に限らず、例えば、第1の拡散層領域17および半導体基板11に0V、第2の拡散層領域18に+10V、ゲート電極13に+5Vを印加した場合も、第2の電荷保持部20Bにホットエレクトロン（熱電子）が注入されて書込みが行なわれた。

このようにして、第2の電荷保持部20Bに電子を注入して、書込みを行うことができる。

上記第1～第3実施形態のメモリ素子の場合、図9および図10に示す基本構造を有するメモリ素子に比べて極めて効率よく書込み動作を行うことができる。すなわち、図9および図10に示すメモリ素子では、ピンチオフ点から第2の拡散層領域18に向けて加速された電子のごく一部が上方に散乱されて、第2の電荷保持部20Bに注入される。一方、上記実施の形態のメモリ素子（図1～図4）においては、電子は図5の矢印32の方向に運動し、その多くがそのまま第2の電荷保持部20B内のシリコン窒化膜22に注入される。言い換えれば、ピンチオフ点から加速された電子の殆どは、矢印32の向きに大きな運動量を持つため、シリコン酸化膜21を通過してシリコン窒化膜22に注入される電子の数が飛躍的に大きくなるのである。

このように、上記実施の形態のメモリ素子においては、書込み動作の効率が著しく向上するため、書込み動作の速度を飛躍的に向上することができる。もしくは、書込み時の電流を小さく場合、半導体記憶素子の書込み時の消費電力を低減することができる。

一方、第1の電荷保持部20Aに電子を注入する（書込む）ためには、図6に示すように、第2の拡散層領域18をソース電極とし、第1の拡散層領域17をドレイン電極とする。例えば、第2の拡散層領域18および半導体基板11に0V、第1の拡散層領域17に+5V、ゲート電極13に+5Vを印加すればよい。この場合、電子は矢印33の方向に運動して、第1の電荷保持部20A内のシリ

コン窒化膜 22 に注入される。このように、第 2 の電荷保持部 20B に電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第 1 の電荷保持部 20A に電子を注入して、書込みを行うことができる。

5      なお、図 1 および図 2 に示すメモリ素子では、電荷を蓄積する機能を有するシリコン窒化膜 15 と、ゲート電極 13、半導体基板 11 および拡散層領域 17、18 とは、シリコン酸化膜 14 で隔てられている。このシリコン酸化膜 14 は、シリコン窒化膜 15 に蓄積された電荷が散逸するのを防いでいる。シリコン酸化膜 14 の厚さは、2 nm 以上であるのが好ましい。なぜなら、シリコン酸化膜 14 の厚さが 2 nm 未満の場合、電荷のトンネル効果が顕著になり、メモリ素子の保持時間が短くなるためである。

10      また、図 3 または図 4 に示すメモリ素子では、電荷保持部 20A、20B は、電荷をトラップする機能を有する第 1 の絶縁膜としてのシリコン窒化膜 22 が、第 2 の絶縁膜としてのシリコン酸化膜 21、23 に挟まれた構造を有している。このため、電荷保持部 20A、20B に注入された電荷は、シリコン酸化膜 23  
15      によってブロックされ、シリコン窒化膜 22 に効率よく蓄積する。このように、電荷保持部 20A、20B はシリコン窒化膜 22 がシリコン酸化膜 21、23 によって挟まれた構造を有するため、電荷保持部 20A、20B への電荷注入効率が上がり、書換え動作（書込みおよび消去動作）の高速化が実現する。

20      また、電荷保持部の構造は、上記のもの（図 1 ～図 4）に限らず、例えば、電荷保持部に電荷を蓄積する機能を有するナノメートルサイズの量子ドットが含まれているものでもよい。また、電荷保持部の形状はサイドウォール形状を有している必要はなく、ゲート電極の両側にあって、その一部が半導体基板およびソース／ドレイン領域に接していればよい。しかしながら、電荷保持部の形状をサイドウォール形状とすれば、通常構造を有するトランジスタのゲート電極サイドウォールと同様に自己整合プロセスを用いて形成することができる。この場合、ロジックトランジスタとメモリトランジスタとで共通のゲート電極サイドウォール  
25      を形成することにより容易にロジックメモリ混載 LSI を形成することが可能となる。

次に、図 7 および図 8 を用いてゲート絶縁膜 12 と電荷保持部 20A、20B

との好ましい位置関係を説明する。ここで、ゲート絶縁膜 1 2 と半導体基板 1 1 との界面（第 1 の面）と、電荷保持部 2 0 A, 2 0 B の下面を含む面（第 2 の面）との距離を D とする。また、シリコン窒化膜 2 2 と拡散層領域 1 7, 1 8 とを隔てるシリコン酸化膜 2 1 の厚さを T とする。図 1 で示す構造のメモリ素子の場合、シリコン窒化膜 1 5 と拡散層領域 1 7, 1 8 とを隔てるシリコン酸化膜 1 4 の厚さを T とすることができる。このとき、上記第 1 の面と第 2 の面の距離 D は、2 nm ～ 15 nm の範囲にあることが好ましい。以下にその理由を記す。

前述のように、シリコン酸化膜 2 1（図 1 のシリコン酸化膜 1 4 に相当）の厚さ T は 2 nm 以上であるのが好ましい。シリコン酸化膜の厚さ T が 2 nm 以上であって距離 D が 2 nm に満たない場合、シリコン窒化膜 2 2 は、ゲート絶縁膜 1 2 と半導体基板 1 1 との界面（第 1 の面）より下には存しないことになる。そのため、書き込み動作時にドレイン電界により加速された電子は、直接シリコン窒化膜 2 2 に注入されず、書き込み動作の効率の低下を招く。したがって、距離 D は 2 nm 以上であることが好ましい。

一方、距離 D が 15 nm 以上となる場合は、ゲート電界が及びにくいために反転層が形成されにくい領域（図 7 の 8 1, 8 1 で示す領域）が大きくなり、トランジスタの駆動電流が著しく減少する。このことは、主に読み出し動作時間の増大を招く。したがって、距離 D は 15 nm 以下であることが好ましい。

以上の理由により、ゲート絶縁膜 1 2 と半導体基板 1 1 との界面（第 1 の面）と、メモリ機能を有する電荷保持部 2 0 A, 2 0 B の下面を含む面（第 2 の面）との距離 D は、2 nm ～ 15 nm の範囲にあることが好ましく、それにより、電荷保持部 2 0 A, 2 0 B とゲート絶縁膜 1 2 との位置関係を最適化し、メモリ素子（半導体記憶装置）の動作速度を十分高速に保つことができる。

ところで、図 7 ではシリコン酸化膜 2 1 が明確な L 字型構造となっているが、図 8 に示すように、丸みを帯びた形状を有していても良い。この場合の距離 D は、ゲート絶縁膜 1 2 と半導体基板 1 1 との界面（第 1 の面）と、その界面と略平行でかつ電荷保持部 1 0 A, 1 0 B の最下部を通る面（第 2 の面）との距離として規定される。シリコン酸化膜 2 1 が丸みを帯びることにより、尖部における電界集中を防止して素子特性の改善および素子の信頼性を向上することができる。

このように、上記実施の形態の半導体記憶装置としてのメモリ素子によれば、メモリ素子の電荷保持部は、ゲート絶縁膜から独立して形成され、ゲート電極の両側に形成されている。そのため、2ビット以上の記憶保持動作が可能である。さらには、各電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。また、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されているので、ゲート絶縁膜厚を薄膜化して短チャネル効果を抑制することができる。したがって、素子の微細化が容易となる。

また、上記実施の形態の半導体記憶装置としてのメモリ素子によれば、書込み動作時において高エネルギーの電荷の進行方向に電荷保持部が存するため、電荷保持部への電荷注入効率が著しく向上し、書込み動作の速度を飛躍的に向上することができる。また、書込み時の電流を小さくして、半導体記憶素子の書込み時の消費電力を低減することができる。

以下の実施の形態では、本発明の半導体記憶装置を構成するメモリ素子について、種々の好ましい形態を説明している。

#### (実施の形態2)

この実施の形態のメモリ素子（半導体記憶装置）は、図11に示すように、電荷保持部161、162が電荷を保持する領域と電荷を逃げにくくする領域とから構成される。電荷を保持する領域は、電荷を蓄える領域であって、電荷を保持する機能を有する膜であってもよい。電荷を逃げにくくする領域は、電荷を逃げにくくする機能を有する膜であってもよい。

電荷保持部161、162は、例えばONO構造を有している。すなわち、シリコン酸化膜141とシリコン酸化膜143との間にシリコン窒化膜142が挟まれ、電荷保持部161、162が構成されている。ここで、シリコン窒化膜142は電荷を保持する機能を有し、シリコン酸化膜141、143はシリコン窒化膜中に蓄えられた電荷を逃げにくくする機能を有する。

電荷保持部161、162における電荷を保持する領域（シリコン窒化膜142）は、チャネル長方向において、拡散層領域112、113とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散層領域112、11



3の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜142）の少なくとも一部が存在することを意味する。なお、171は、ゲート電極117に対して拡散層領域112、113がチャンネル長方向における外側方向にオフセットすることにより生じたオフセット領域である。また、図示しないが、ゲート絶縁膜114下（半導体基板111におけるゲート絶縁膜114との対向部）であって半導体基板111の最表面部はチャンネル領域となる。

次に、電荷保持部161、162における電荷を保持する領域すなわちシリコン窒化膜142と拡散層領域112、113とがオーバーラップすることによる効果を説明する。

図12は、図11に示した電荷保持部161、162の一方である例えば電荷保持部162周辺部の拡大図である。同図において、W1はゲート電極114に対する拡散層領域113のオフセット量を示す。また、W2はゲート電極のチャンネル長方向における電荷保持部162の幅を示している。なお、同図に示すメモリ素子においては、電荷保持部162におけるシリコン窒化膜142のゲート電極117から離れた側の端が、電荷保持部162における、ゲート電極117から離れた側の端と一致している。したがって、電荷保持部162の幅をW2として定義した。電荷保持部162と拡散層領域113とのオーバーラップ量はW2-W1で表される。特に重要なことは、電荷保持部162のうちシリコン窒化膜142が、拡散層領域113とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

なお、図13に示すように、電荷保持部162aにおけるシリコン窒化膜142aのゲート電極117aと離れた側の端が、ゲート電極117aから離れた側の電荷保持部162aの端と一致していない場合は、W2をゲート電極117a端からシリコン窒化膜142aのゲート電極117aと遠い側の端までと定義すればよい。なお、図13において、メモリ素子の各部分は、図12における対応する部分に付された参照番号にアルファベット“a”を加えた参照符号によって示されている。

図14は、電荷保持部の下端面がゲート絶縁膜と半導体基板との界面と同一レベルにあることを除いては図11、12に示す半導体記憶装置と同じ構造を有す

る半導体記憶装置において、電荷保持部162の幅 $W_2$ を100nmに固定し、オフセット量 $W_1$ を変化させたときのドレイン電流 $I_d$ を示している。ここで、ドレイン電流は、電荷保持部162を消去状態（正孔が蓄積されている状態）とし、拡散層領域112、113をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。なお、この発明の種々の実施形態における電気特性も図14に示されたものと略同様になることが確認されており、以下の説明はこの発明のすべての実施形態についても言えることであると理解されねばならない。

図14から明らかなように、 $W_1$ が100nm以上の場合、すなわち、シリコン窒化膜142と拡散層領域113とがオーバーラップしない場合では、ドレイン電流が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、 $W_1$ が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜142と拡散層領域113とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、電荷を保持する機能を有する膜であるシリコン窒化膜142の少なくとも一部と拡散層領域（ソース／ドレイン領域）112、113とがオーバーラップすることが好ましい。

上述したデバイスシミュレーションの結果を踏まえて、 $W_2$ を100nm固定とし、 $W_1$ を設計値において60nmおよび100nmとし、メモリセルアレイを作製した。 $W_1$ が60nmの場合、シリコン窒化膜142と拡散層領域112、113とは設計値において40nmオーバーラップし、 $W_1$ が100nmの場合、設計値においてオーバーラップしない。

これらメモリセルアレイの読出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、 $W_1$ を設計値において60nmとした場合の方が、読出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、 $W_1=W_2$ では、この条件を到底達成できないことが分かった。また、製造ばらつきまで考慮した場合、 $W_2-W_1>10nm$ であることがより好ましいことが判明した。

また、電荷保持部161（領域181）に記憶された情報の読み出しは、実施の形態1と同様に、拡散層領域112をソース電極とし、拡散層領域113をド

レイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つの電荷保持部161、162のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、他方の電荷保持部に近い領域に形成させるのが好ましい。これにより、電荷保持部162の記憶状況の如何にかかわらず、電荷保持部161の記憶情報を感度よく検出することができる。これはメモリ素子の2ビット動作を可能にする大きな要因となる。

一方、2つの電荷保持部161、162の片側のみに情報を記憶させる場合又は2つの電荷保持部を同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

なお、図11には図示していないが、半導体基板111の表面にウェル領域（Nチャネル素子の場合はP型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャネル領域の不純物濃度をメモリ動作（書換え動作および読出し動作）において最適にしつつ、その他の電気特性（耐圧、接合容量、短チャネル効果）を制御するのが容易になる。

電荷保持部161、162は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜142、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜141、143を用いている。電荷保持部161、162が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。さらに、電荷保持部161、162が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

また、電荷保持部161、162は、ゲート絶縁膜114の表面と略平行に配置された部分を有する電荷保持膜を含むこと、言い換えると、電荷保持部161、162における電荷保持膜の上面が、ゲート絶縁膜114の上面から等しい距離に位置するように配置される部分を含むことが好ましい。

具体的には、図 1 5 に示したように、電荷保持部 1 6 2 の電荷保持膜 1 4 2 b (例えばシリコン窒化膜) が、ゲート絶縁膜 1 1 4 表面と略平行な面を有している。言い換えると、電荷保持膜 1 4 2 b は、ゲート絶縁膜 1 1 4 表面に対応する高さから、均一な高さに形成されることが好ましい。図 1 2 に示したシリコン窒化膜 1 4 2 において、上記電荷保持膜 1 4 2 b の構成は、ゲート絶縁膜 1 1 4 表面と略平行な面を有する部分である領域 1 8 1 に相当する。

電荷保持部 1 6 2 中に、ゲート絶縁膜 1 1 4 表面と略平行な電荷保持膜 1 4 2 b があることにより、電荷保持膜 1 4 2 b に蓄積された電荷の多寡によりオフセット領域 1 7 1 での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、電荷保持膜 1 4 2 b をゲート絶縁膜 1 1 4 の表面と略平行とすることにより、オフセット量 (W1) がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、電荷保持膜 1 4 2 b の上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、電荷保持部 1 6 1、1 6 2 は、ゲート絶縁膜 1 1 4 の表面と略平行な電荷保持膜 1 4 2 b とチャネル領域 (又はウェル領域) とを隔てる絶縁膜 (例えば、シリコン酸化膜 1 4 4 のうちオフセット領域 1 7 1 上の部分) を含むことが好ましい。この絶縁膜は、図 1 1 に示したメモリ素子では、シリコン酸化膜 1 4 1、1 4 3 におけるゲート絶縁膜 1 1 4 の表面と略平行な部分に相当する。この絶縁膜により、電荷保持膜 1 4 2 b に蓄積された電荷の散逸が抑制され、さらに保持特性の良いメモリ素子 (半導体記憶装置) を得ることができる。

なお、電荷保持膜 1 4 2 b の膜厚を調整するとともに、電荷保持膜 1 4 2 b 下の絶縁膜 (シリコン酸化膜 1 4 4 のうちオフセット領域 1 7 1 上の部分) の膜厚を一定に形成することにより、半導体基板 1 1 1 の表面から電荷保持膜 1 4 2 b 中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板 1 1 1 表面から電荷保持膜 1 4 2 b 中に蓄えられる電荷までの距離を、電荷保持膜 1 4 2 b 下の絶縁膜の最小膜厚値から、この絶縁膜の最大膜厚値と電荷保持膜 1 4 2 b の最大膜厚値との和までの間に設定することができる。これに

より、電荷保持膜 1 4 2 b に蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

(実施の形態 3)

5       この実施の形態のメモリ素子は、電荷保持部 1 6 1、1 6 2 のシリコン窒化膜（電荷保持膜）1 4 2 が、図 1 6 に示すように、略均一な膜厚で、ゲート絶縁膜 1 1 4 の表面と略平行に配置された部分（領域 1 8 1）、およびゲート電極 1 1 7 側面と略平行に配置された部分（領域 1 8 2）を有している。

10       ゲート電極 1 1 7 に正電圧が印加された場合には、電荷保持部 1 6 2 中での電気力線は矢印 1 8 3 のように、シリコン窒化膜 1 4 2 を 2 回通過する（領域 1 8 2 の通過＋領域 1 8 1 の通過）。なお、ゲート電極 1 1 7 に負電圧が印加された場合の電気力線の向きは図示の方向とは反対となる。

15       ここで、シリコン窒化膜 1 4 2 の比誘電率は約 6 であり、シリコン酸化膜 1 4 1、1 4 3 の比誘電率は約 4 である。したがって、電荷保持部 1 6 1、1 6 2 は、領域 1 8 1 に相当する前記電荷保持膜 1 4 2 a のみが存在する場合よりも、電気力線 1 8 3 方向における実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極 1 1 7 に印加された電圧の多くの部分が、オフセット領域 1 7 1 における電界を強くするために使われることになる。

20       メモリ素子において、書換え動作時に電荷がシリコン窒化膜 1 4 2 に注入されるのは、発生した電荷がオフセット領域 1 7 1 における電界により引き込まれるためである。したがって、シリコン窒化膜 1 4 2 が領域 1 8 2 を含むことにより、書換え動作時に電荷保持部 1 6 2 に注入される電荷が増加し、書換え速度が増大する。

25       なお、シリコン酸化膜 1 4 3 の部分もシリコン窒化膜であった場合、つまり、シリコン窒化膜（電荷保持膜）がゲート絶縁膜 1 1 4 の表面からの高さにおいて均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

また、電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化

ハフニウムなどの高誘電体により形成されることがより好ましい。

さらに、電荷保持部 161、162 は、ゲート絶縁膜 114 の表面と略平行な電荷保持膜（領域 181）とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 141 のうちオフセット領域 171 上の部分）を含むことが好ましい。この絶縁膜により、電荷保持膜（シリコン窒化膜 142）に蓄積された電荷の散逸が抑制され、さらに電荷の保持特性を向上させることができる。

また、電荷保持部 161、162 は、ゲート電極 117 と、ゲート電極 117 の側面と略平行な向きに延びた電荷保持膜（領域 182）とを隔てる絶縁膜（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）を含むことが好ましい。この絶縁膜により、ゲート電極 117 から電荷保持膜（シリコン窒化膜 142）へ電荷が注入されて電気的特性が変化することを防止し、メモリ素子（半導体記憶装置）の信頼性を向上させることができる。

さらに、本実施の形態のメモリ素子では、実施の形態 2 の場合と同様、シリコン酸化膜 141、143 における電荷保持膜 142 と半導体基板 111 との間の部分（シリコン酸化膜 141 のうちオフセット領域 171 上の部分）の膜厚を一定に設定すること、さらにシリコン酸化膜 141、143 におけるシリコン窒化膜 142 とゲート電極 117 との間の部分（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）の膜厚を一定に制御することが好ましい。これにより、電荷保持膜 142 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

#### （実施の形態 4）

この実施の形態では、ゲート電極 117、電荷保持部 161、162 およびソース／ドレイン領域間距離（拡散層領域 112、113 間距離）を最適化したメモリ素子について説明する。

図 17 に示すメモリ素子において、A はチャネル長方向のゲート電極長、B は拡散層領域（ソース／ドレイン領域）112、113 間の距離（チャネル長）、C はチャネル長方向における電荷保持部 161、162 の外端間の距離を示す。さらに C について詳細に説明すると、C は、一方の電荷保持部 161 のシリコン窒化膜 142（電荷保持膜）におけるゲート電極 117 と離れている側の端部

(外端部) から、他方の電荷保持部 1 6 2 のシリコン窒化膜 1 4 2 (電荷保持膜) におけるゲート電極 1 1 7 と離れている側の端部 (外端部) までのチャンネル長方向の距離を示す。

上記 A ~ C の関係においては、まず、 $B < C$  であることが好ましい。チャンネル領域のうち、ゲート電極 1 1 7 下の部分 (半導体基板 1 1 1 におけるゲート電極 1 1 7 との対向領域) と拡散層領域 (ソース/ドレイン領域) 1 1 2、1 1 3 との間にはオフセット領域 1 7 1 が存する。 $B < C$  であれば、電荷保持部 1 6 1、1 6 2 (シリコン窒化膜 1 4 2) に蓄積された電荷により、オフセット領域 1 7 1 の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

また、ゲート電極 1 1 7 に対して拡散層領域 (ソース/ドレイン領域) 1 1 2、1 1 3 がオフセットしている場合、つまり、 $A < B$  が成立する場合には、ゲート電極 1 1 7 に電圧を印加したときのオフセット領域 1 7 1 の反転のしやすさが電荷保持部 1 6 1、1 6 2 に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャンネル効果を低減することができる。ただし、メモリ効果が発現する限りにおいて、オフセット領域 1 7 1 は必ずしも存在する必要はない。すなわち、オフセット領域 1 7 1 が存在しない場合においても、拡散層領域 1 1 2、1 1 3 の不純物濃度が十分に薄ければ、電荷保持部 1 6 1、1 6 2 (シリコン窒化膜 1 4 2) においてメモリ効果が発現し得る。

以上の説明から明らかなように、A ~ C の関係は、 $A < B < C$  であるのが最も好ましい。

#### (実施の形態 5)

この実施の形態のメモリ素子 (半導体記憶装置) は、図 1 8 に示すように、実施の形態 2 (図 1 1) における半導体基板を SOI 基板とする以外は、実質的に図 1 1 に示したメモリ素子と同様の構成を有する。

このメモリ素子では、半導体基板 1 8 6 上に埋め込み酸化膜 1 8 8 が形成され、さらにその上に SOI 層 1 8 9 が形成されている。SOI 層 1 8 9 内には拡散層領域 1 1 2、1 1 3 が形成され、それ以外の領域はボディ領域 1 8 7 となっている。

このメモリ素子においても、実施の形態3の半導体記憶装置と同様の作用効果を奏する。さらに、拡散層領域112、113とボディ領域187との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

5 (実施の形態6)

この実施の形態のメモリ素子（半導体記憶装置）は、図19に示すように、実施の形態2（図11）において、拡散層領域（N型のソース／ドレイン領域）112、113のチャネル側に隣接して、P型高濃度領域191を追加している。この点以外は、実質的に図11のメモリ素子と同様の構成を有する。

10 P型高濃度領域191では、P型を与える不純物（例えばボロン）濃度が、P型高濃度領域191間の領域192におけるP型を与える不純物濃度より高くなっている。P型高濃度領域191におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域192のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

15 このように、P型高濃度領域191を設けることにより、拡散層領域112、113と半導体基板111との接合が、電荷保持部161、162の直下で急峻となる。なお、接合が急峻とは、PN接合の両側の不純物濃度が濃く、かつ接合付近での不純物濃度の勾配が急峻であること、したがって、接合付近でのポテンシャルの勾配が急峻となることである。

20 そのため、書込みおよび消去動作時にホットキャリアが発生し易くなり、書込み動作および消去動作の電圧を低下させ、あるいは書込み動作および消去動作を高速にすることが可能となる。さらに、領域192の不純物濃度は比較的薄いので、メモリ素子が消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速なメモリ素子（半導体記憶装置）を得ることができる。

25

また、図19に示すように、半導体基板111には、拡散層領域（ソース／ドレイン領域）112、113近傍であって電荷保持部161、162との対向部（ゲート電極117との対向部ではない）に、P型高濃度領域191を設けるこ



とにより、トランジスタ全体としての閾値が著しく上昇する。この上昇の程度は、P型高濃度領域191がゲート電極117の直下（半導体基板111におけるゲート電極117との対向部）にある場合に比べて著しく大きい。電荷保持部161、162に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合、この差がいつそう大きくなる。

一方、電荷保持部161、162に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極117下のチャネル領域（領域192）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域191の不純物濃度に依存しない一方、書込み時の閾値は、P型高濃度領域191の不純物濃度に非常に大きな影響を受ける。よって、P型高濃度領域191を電荷保持部161、162の下（半導体基板111における電荷保持部161、162との対向部）であって拡散層領域（ソース／ドレイン領域）112、113近傍に配置することにより、書込み時の閾値のみが非常に大きく変動し、メモリ効果（書込時と消去時での閾値の差）を著しく増大させることができる。

#### （実施の形態7）

この実施の形態のメモリ素子（半導体記憶装置）は、図20に示すように、実施の形態2（図11）において、電荷保持部161、162の電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜（シリコン酸化膜141）の厚さT1が、ゲート絶縁膜114の厚さT2よりも薄くなっている。この点以外は、図11に示したメモリ素子と実質的に同様の構成を有する。

ゲート絶縁膜114は、メモリの書換え動作時における耐圧の要請から、その厚さT2には下限値が存在する。しかしながら、電荷保持部161、162の絶縁膜（シリコン酸化膜141）の厚さT1は、耐圧の要請にかかわらず、T2よりも薄くすることが可能である。

本実施の形態の半導体記憶装置において、上述のように絶縁膜（シリコン酸化膜141）の厚さT1に対する設計の自由度が高いのは以下の理由による。

本実施の形態のメモリ素子（半導体記憶装置）において、電荷保持部161、162の電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域と

を隔てる絶縁膜（シリコン酸化膜 1 4 1）は、ゲート電極 1 1 7 とチャネル領域又はウェル領域とに挟まれていない。したがって、この絶縁膜（シリコン酸化膜 1 4 1）には、ゲート電極 1 1 7 とチャネル領域又はウェル領域との間に働く高電界が直接作用せず、ゲート電極 1 1 7 からその横方向に広がる比較的弱い電界が作用するのみである。これにより、ゲート絶縁膜 1 1 4 に対する耐圧の要請にかかわらず、シリコン酸化膜 1 4 1 の厚さ  $T_1$  はゲート絶縁膜 1 1 4 の厚さ  $T_2$  よりも薄くすることが可能となる。

一方、例えば、フラッシュメモリに代表される E E P R O M においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜がゲート電極（コントロールゲート）とチャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接作用する。それゆえ、E E P R O M においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、メモリ素子の機能の最適化が阻害されるのである。

以上より明らかなように、本実施の形態のメモリ素子においては、電荷保持部 1 6 1、1 6 2 の電荷保持膜（シリコン窒化膜 1 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜（シリコン酸化膜 1 4 1）がゲート電極 1 1 7 とチャネル領域又はウェル領域とに挟まれていないことが、絶縁膜（シリコン酸化膜 1 4 1）の厚さ  $T_1$  の自由度を高くする本質的な理由となっている。

メモリ素子では、絶縁膜（シリコン酸化膜 1 4 1）の厚さ  $T_1$  を薄くすることにより、電荷保持部 1 6 1、1 6 2、すなわち電荷保持膜（シリコン窒化膜 1 4 2）への電荷の注入が容易になり、書込み動作および消去動作の電圧を低下させること、又は書込み動作および消去動作を高速にすることが可能となる。また、電荷保持膜（シリコン窒化膜 1 4 2）に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、メモリ効果を増大させることができる。

ところで、電荷保持部 1 6 1、1 6 2 中での電気力線は、図 1 6 に矢印 1 8 4 で示したように、シリコン窒化膜 1 4 2 を通過しない短いものもある。このような短い電気力線 1 8 4 上では比較的電界強度が大きいので、この電気力線 1 8 4 に沿った電界は、書換え動作時において大きな役割を果たしている。

一方、本実施の形態のメモリ素子のように、シリコン酸化膜141の厚さ $T_1$ を薄くした場合には、シリコン窒化膜142が図の下側に移動するので（半導体基板111に近づくので）、電気力線184がシリコン窒化膜142を通過するようになる。それゆえ、電気力線184に沿った電荷保持部中の実効的な比誘電率が大きくなり、電気力線184の両端での電位差をより小さくすることができる。したがって、ゲート電極117に印加された電圧の多くの部分が、オフセット領域171における電界を強くするために使われ、書き込み動作および消去動作が高速になる。

以上より明らかなように、 $T_1 < T_2$ とすることにより、メモリの耐圧性能を低下させることなく、書き込み動作および消去動作の電圧を低下させ、又は書き込み動作および消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

なお、絶縁膜の厚さ $T_1$ は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる0.8 nm以上であることがより好ましい。

次に、本実施の形態のメモリ素子の好適な適用例について説明する。例えば、デザインルールの大きな高耐圧を必要とする液晶ドライバーLSIの場合、液晶パネルのTFTを駆動するために、最大15～18Vの電圧が必要となる。このため、前記LSIではゲート酸化膜（ゲート絶縁膜）を薄膜化することができない。

一方、前記液晶ドライバーLSIに画像調整用として本実施の形態の不揮発性メモリ（メモリ素子）を混載した場合、本発明のメモリ素子ではゲート絶縁膜114の厚さとは独立して、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜（シリコン酸化膜141）の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅）250 nmのメモリセルに対して、 $T_1 = 20$  nm、 $T_2 = 10$  nmで個別に設定でき、書き込み効率の良いメモリセルを実現できる。

なお、本実施の形態のメモリ素子において、 $T_1$ が通常のロジックトランジスタより厚くても短チャネル効果が発生しない理由は、ゲート電極117に対して拡散層領域（ソース／ドレイン領域）112、113がオフセットしているため

である。

(実施の形態 8)

この実施の形態のメモリ素子（半導体記憶装置）は、図 21 に示すように、実施の形態 2（図 11）において、電荷保持部 161、162 の電荷保持膜（シリコン窒化膜 142）とチャネル領域又はウェル領域とを隔てる絶縁膜（シリコン酸化膜 141）の厚さ  $T_1$  が、ゲート絶縁膜 114 の厚さ  $T_2$  よりも厚くなっている。この点以外は、図 11 に示したメモリ素子と実質的に同様の構成を有する。

ゲート絶縁膜 114 は、メモリ素子の短チャネル効果防止の要請から、その厚さ  $T_2$  には上限値が存在する。しかしながら、電荷保持部 161、162 の絶縁膜（シリコン酸化膜 141）の厚さ  $T_1$  は、短チャネル効果防止の要請にかかわらず、 $T_2$  よりも厚くすることが可能である。すなわち、微細化スケールが進んだとき（ゲート絶縁膜 114 の薄膜化が進行したとき）に、ゲート絶縁膜 114 の厚さとは独立して電荷保持膜（シリコン窒化膜 142）とチャネル領域又はウェル領域とを隔てる絶縁膜（シリコン酸化膜 141）の厚さを最適に設計できる。このため、電荷保持部 161、162 がスケールリングの障害にならないという効果を奏する。

本実施の形態のメモリ素子（半導体記憶装置）において、上述のように絶縁膜（シリコン酸化膜 141）の厚さ  $T_1$  に対する設計の自由度が高い理由は、既に述べた通り、電荷保持部 161、162 の電荷保持膜（シリコン窒化膜 142）とチャネル領域又はウェル領域とを隔てる絶縁膜（シリコン酸化膜 141）が、ゲート電極 117 とチャネル領域又はウェル領域とに挟まれていないことによる。そのため、ゲート絶縁膜 114 に対する短チャネル効果防止の要請にかかわらず、シリコン酸化膜 141 の厚さ  $T_1$  をゲート絶縁膜 114 の厚さ  $T_2$  よりも厚くすることが可能となる。

前記絶縁膜（シリコン酸化膜 141）の厚さ  $T_1$  を厚くすることにより、電荷保持部 161、162、すなわちシリコン窒化膜 142 に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。したがって、 $T_1 > T_2$  とすることにより、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。なお、絶縁膜（シリコン酸化膜 141）の厚

さT 1は、書換え速度の低下を考慮して、20 nm以下であることが好ましい。

次に、本実施の形態のメモリ素子の好適な適用例について説明する。

フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書込み消去ゲート電極を構成し、前記書込み消去ゲート電極に対応するゲート絶縁膜

5 (フローティングゲートを内包する)が電荷蓄積膜を兼用している。このため、微細化の要求(短チャネル効果抑制のため薄膜化が必須であること)、および信頼性確保の要求(保持電荷のリーク抑制のためにフローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを7 nm程度以下には薄膜化できないこと)という相反する要求を内包している。したがって、このような従来の不揮発性メモリでは微細化が困難である。實際上、ITRS (International Technology Roadmap for Semiconductors)によれば、物理ゲート長の微細化は10 0.2ミクロン程度以下に対して目処が立っていない。

一方、本実施の形態のメモリ素子では、上述したようにT 1とT 2を個別に設計できることにより、微細化が可能となる。本発明では、例えば、ゲート電極長15 (ワード線幅)45 nmのメモリセルに対して、 $T 2 = 4 \text{ nm}$ 、 $T 1 = 7 \text{ nm}$ に個別に設定し、短チャネル効果の発生しないメモリ素子を実現した。

なお、本実施の形態のメモリ素子において、T 2を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由は、ゲート電極117に対して、拡散層領域(ソース・ドレイン領域)112、113がオフセットしているためである。また、本発明のメモリ素子は、ゲート電極117に対して拡散層領域(ソース・ドレイン領域)112、113がオフセットしているため、20 通常のロジックトランジスタと比較してもさらに微細化が容易となっている。

以上の点を要約すると、本実施の形態のメモリ素子では、電荷保持部161、162の上部に書込、消去を補助する電極すなわちゲート電極117が存在しない。したがって、ゲート電極117とチャネル領域又はウェル領域との間に働く25 高電界が、電荷保持膜(シリコン窒化膜142)とチャネル領域又はウェル領域とを隔てる絶縁膜(シリコン酸化膜141)には直接作用しない。すなわち、この絶縁膜(シリコン酸化膜141)には、ゲート電極117から横方向に広がる比較的弱い電界が作用するのみである。そのため、ロジックトランジスタのゲー

ト長と同程度以上に微細化されたゲート長を保有するメモリセル（メモリ素子）の実現が可能になる。

次に、メモリ素子の書換えを行ったときの電気特性の変化について説明する。

5 図 2 2 は、電荷保持部の下端面がゲート絶縁膜と半導体基板との界面と同一レベルにあることを除いては図 2 1 に示す半導体記憶装置と同じ構造を有する N チャンネル型メモリ素子の電荷保持部 1 6 1、1 6 2（便宜上、図 2 1 における参照番号を使用。以下、同様）中の電荷量が増加したときの、ドレイン電流（ $I_d$ ）  
10 対ゲート電圧（ $V_g$ ）の特性（実測値）を示すグラフである。なお、この発明の種々の実施形態における特性も図 2 2 に示されたものと略同様になることが確認されており、以下の説明はこの発明のすべての実施形態についても言えることであると理解されねばならない。図 2 2 から明らかなように、消去状態（実線）から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッシヨルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート  
15 電圧（ $V_g$ ）が比較的高い領域においても、消去状態と書込み状態でのドレイン電流比が大きくなっている。例えば、 $V_g = 2.5 \text{ V}$ においても、電流比は 2 桁以上を保っている。この特性は、フラッシュメモリの場合（図 2 3）と大きく異なる。このような特性の出現は、ゲート電極 1 1 7 と拡散層領域 1 1 2、1 1 3 とがオフセットし、ゲート電界がオフセット領域 1 7 1 に及びにくいために起こる特有な現象である。

メモリ素子が書込み状態にあるときには、ゲート電極 1 1 7 に正電圧を加えても電荷保持部 1 6 1、1 6 2 下（半導体基板 1 1 1 における電荷保持部 1 6 1、1 6 2 の対向部）のオフセット領域 1 7 1 には反転層が極めてできにくい状態になっている。これが、書込み状態においてサブスレッシヨルド領域での  $I_d - V_g$  曲線の傾きが小さくなる原因となっている。

25 一方、メモリ素子が消去状態にあるときには、オフセット領域 1 7 1 には高密度の電子が誘起されている。なおかつ、ゲート電極 1 1 7 に 0 V が印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極 1 1 7 下のチャンネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態において

サブスレッショルド領域での  $I_d - V_g$  曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

以上の説明から明らかなように、における本発明の半導体記憶装置は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

- 5        以上のように、本発明の半導体記憶装置は、主として、半導体基板上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、これら積層されたゲート絶縁膜およびゲート電極の両側において半導体基板上に形成された電荷保持部と、半導体基板における電荷保持部のゲート電極側とは反対側の位置に、それぞれ電荷保持部の一部と対向するように配置されたソース／ドレイン領域
- 10        （拡散層領域）と、半導体基板におけるゲート絶縁膜を介してのゲート電極との対向位置（半導体基板における両拡散層領域間）に形成されたチャネル領域とから構成される。

- この半導体記憶装置は、1つの電荷保持部に2値又はそれ以上の情報を記憶することにより、4値又はそれ以上の情報を記憶するメモリ素子として機能する。
- 15        しかしながら、この半導体記憶装置は、必ずしも4値又はそれ以上の情報を記憶して機能させる必要はなく、例えば、2値の情報を記憶して機能させてもよい。

      本発明の半導体記憶装置は、半導体基板上、好ましくは半導体基板内に形成された第1導電型のウェル領域上に形成されることが好ましい。

- 半導体基板としては、半導体装置に使用されるものであれば特に限定されず、
- 20        例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体による基板、SOI基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面半導体層としてシリコン層が形成されたSOI基板が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少の差が生じるものの、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。
- 25        この半導体基板上又は半導体層上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わされて、シングル又はマルチレイヤー構造

で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。

5 半導体基板は、P型又はN型の導電型を有していてもよく、半導体基板には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体基板およびウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャンネル領域下にボディ領域を有していてもよい。

10 ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20nm程度、好ましく1～6nm程度  
15 程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広）で形成されていてもよい。

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。ゲート電極は、実施の形態のなかで特に指定がない限り、特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等  
20 の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極は、例えば50～400nm程度の膜厚で形成することが適当である。

半導体基板におけるゲート電極の下（ゲート絶縁膜を介したゲート電極との対向部）にはチャンネル領域が形成される。このチャンネル領域は、ゲート電極下のみ  
25 ならず、ゲート電極とゲート長方向におけるゲート端の外側を含む領域下（半導体基板に形成された両拡散層領域間の領域）に形成されていることが好ましい。このように、ゲート電極で覆われていないチャンネル領域が存在する場合には、そのチャンネル領域は、ゲート絶縁膜又は電荷保持部で覆われていることが好ましい。

電荷保持部は、少なくとも、電荷を保持するか、電荷を蓄え保持する機能を有



するか、電荷をトラップする機能を有する膜又は領域を含んで構成される。これらの機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキサイド、ジルコニウムオキサイド、タンタルオキサイド等の高誘電体；酸化亜鉛；金属等が挙げられる。

電荷保持部は、例えば、シリコン窒化膜を含む絶縁体膜；導電膜もしくは半導体層を内部に含む絶縁体膜；導電体もしくは半導体ドットを1つ以上含む絶縁体膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

シリコン窒化膜などの電荷保持機能を有する絶縁膜を内部に含む絶縁膜を電荷保持部として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。更には、複数のメモリ素子を配列する場合、メモリ素子間の距離が縮まって隣接する電荷保持部が接触しても、電荷保持部が導電体からなる場合のように夫々の電荷保持部に記憶された情報が失われることがない。また、コンタクトプラグをより電荷保持部と接近して配置することができ、場合によっては電荷保持部と重なるように配置することができるので、メモリ素子の微細化が容易となる。

さらに記憶保持に関する信頼性を高めるためには、電荷保持部において、電荷保持機能を有する絶縁体は、必ずしも膜状である必要はなく、電荷保持機能を有する絶縁体が絶縁膜に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に分散していることが好ましい。

また、導電膜もしくは半導体層を内部に含む絶縁体膜を電荷保持部として用いることにより、導電体もしくは半導体中への電荷の注入量を自由に制御できるため、多値化しやすい効果がある。

さらに、導電体もしくは半導体ドットを1つ以上含む絶縁体膜を電荷保持部として用いることにより、電荷の直接トンネリングによる書込・消去が行ないやすくなり、低消費電力化の効果がある。

つまり、電荷保持部は、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜をさらに含むことが好ましい。電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

電荷保持部は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全てを覆うように形成されていてもよいし、一部を覆うように形成されてもよい。

電荷保持膜として導電膜を用いる場合には、電荷保持膜が半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

電荷保持部は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動してメモリ素子の信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部（ゲート電極、拡散層領域、半導体基板）とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、上記サンドウィッチ構造を有する場合、半導体記憶装置の高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。

上記条件を満たす電荷保持部としては、上記第1の絶縁体をシリコン窒化膜とし、第2および第3の絶縁体をシリコン酸化膜とするのが特に好ましい。シリコ

ン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、シリコン酸化膜およびシリコン窒化膜は共にLSIプロセスでごく標準的に用いられる材料であるため、好ましい。また、第1の絶縁体として、窒化シリコンのほかに、酸化ハフニウム、タンタルオキサイド、  
5 イットリウムオキサイドなどを用いることができる。更には、第2および第3の絶縁体として、酸化シリコンのほかに、酸化アルミニウムなどを用いることができる。なお、上記第2および第3の絶縁体は、異なる物質であってもよいし同一の物質であってもよい。

電荷保持部は、ゲート電極の両側に形成されており、また、半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。  
10

電荷保持部に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、又はゲート絶縁膜もしくは絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に形成されている。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。  
15

ゲート電極は、電荷保持部の側壁のみに形成され（電荷保持部の側壁のみと対向し）、電荷保持部の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、メモリ素子の微細化が容易となる。また、このような単純な配置を有するメモリ素子は製造が容易であり、歩留まりを向上することができる。  
20

ソース／ドレイン領域は、半導体基板又はウェル領域と逆導電型の拡散層領域として、電荷保持部のゲート電極側とは反対側の位置にそれぞれに配置されている。ソース／ドレイン領域と半導体基板又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。これはホットエレクトロンやホットホールが低電  
25

圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。

ソース／ドレイン領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいものの、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

ソース／ドレイン領域は、ゲート電極端とオーバーラップ（一部オーバーラップ）するように配置していてもよいし、ゲート電極端に対してオフセットされて配置（オーバーラップせずに配置）されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、電荷保持部に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。

ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなる。したがって、オフセット量、すなわちゲート長方向における一方のゲート電極端から近い方のソース・ドレイン領域までの距離は、ゲート長方向に対して平行方向の電荷保持膜の厚さよりも、短い方が好ましい。特に重要なことは、電荷保持部中の電荷蓄積領域の少なくとも一部が、拡散層領域であるソース／ドレイン領域の一部とオーバーラップしていることである。これは、本発明の半導体記憶装置を構成するメモリ素子の本質が、電荷保持部の側壁部にのみ存在するゲート電極とソース／ドレイン領域間の電圧差により電荷保持部を横切る電界によって記憶を書き換えることであるためである。

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいため、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル

効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、電荷保持膜の少なくとも一部を挟持するように配置することが好ましい。

ここで、上記のようにソース・ドレインの一部がチャネル領域表面より高い位置に形成されている場合の具体例を図24に示す。電荷保持部10A, 10Bの側壁には、例えばポリシリコン又はアモルファスシリコン等からなる導電性のサイドウォール52が形成されている。ソース・ドレイン領域は、導電性のサイドウォール52に不純物注入を行った後に熱処理を行って不純物を拡散させて形成する。このとき不純物は半導体基板11内（領域57、58）にも拡散する。この場合、ソース領域（あるいはドレイン領域）は、サイドウォール52と領域57（あるいは58）とから構成される。したがって、ソース・ドレインの一部がチャネル領域表面より高い位置にあることになる。なお、51は素子分離領域である。

上記のような構成では、ソース・ドレイン領域が領域57、58のみからなる場合に比べて、ソース・ドレイン領域が厚さを増すことになるため、ソース・ドレイン抵抗を低減することができる。したがって、メモリ素子の読み出し動作を高速にすることができる。さらに、導電性のサイドウォール52がポリシリコン又はアモルファスシリコンからなる場合、ポリシリコン又はアモルファスシリコン中における不純物拡散速度が、半導体基板11中における不純物拡散速度よりも極めて大きいため、熱処理によるソース・ドレイン領域形成の際に、領域57、58の厚さを非常に薄くすることが容易になる。すなわち、ソース・ドレイン領域の浅接合化が容易になる。したがって、メモリ素子の微細化が容易となる。

本発明の半導体記憶装置は、ゲート絶縁膜上に形成された単一のゲート電極、ソース領域、ドレイン領域および半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書込み、消去、読出しの各動作を行なう。具体的な動作原理および動作電圧の例は前述した通りである。

本発明の半導体記憶装置をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲートで各メモリセルを制御できるので、ワード線の本数を少なくすることができる。

本発明の半導体記憶装置は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、絶縁膜（第2の絶縁体）／電荷蓄積膜（第1の絶縁体）／絶縁膜（第2の絶縁体）の積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法が挙げられる。このほか、所望の電荷保持部の構造に応じて、適宜サイドウォール形成時の条件や堆積物を選択すればよい。

本発明の半導体記憶装置は、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器等が挙げられる。

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

## 請求の範囲

1. 半導体基板（11, 111, 111a）、半導体基板内に設けられたウェル領域または絶縁体（71, 188）上に配置された半導体膜（72, 189）のうち  
5    うちのいずれか1つからなる第1導電型の半導体部材（11, 111, 111a, 72, 189）と、

上記第1導電型の半導体部材上に形成されたゲート絶縁膜（12, 114, 114a）と、

上記ゲート絶縁膜上に形成されたゲート電極（13, 117, 117a）と、

10    上記ゲート電極の両側に夫々形成された電荷保持部（10A、10B；20A, 20B；161, 162；162a）と、

上記電荷保持部に対応する上記第1導電型の半導体部材の領域に夫々形成された第2導電型の拡散層領域（17, 18；57, 58；112, 113；113a）と、

15    上記ゲート電極下に配置されたチャネル領域（31）とを備え、

上記電荷保持部（10A、10B；20A, 20B；161, 162；162a）は、上記電荷保持部に保持された電荷の多寡に応じて、上記ゲート電極（13, 117, 117a）に電圧を印加したときに上記チャネル領域（31）を介して上記第2導電型の拡散層領域の一方から他方に流れる電流量を変化させると  
20    共に、

上記電荷保持部（10A、10B；20A, 20B；161, 162；162a）の一部は、上記ゲート絶縁膜（12, 114, 114a）と上記チャネル領域（31）との界面よりも下に存することを特徴とする半導体記憶装置。

25    2. 請求項1に記載の半導体記憶装置において、

上記ゲート絶縁膜と上記チャネル領域との界面と、その界面と略平行でかつ上記電荷保持部の最下部を通る面との距離（D）が2nm～15nmであることを特徴とする半導体記憶装置。

3. 請求項 1 に記載の半導体記憶装置において、

上記電荷保持部は、

電荷を保持する機能を有する第 1 の絶縁体 (1 5, 2 2, 1 4 2, 1 4 2 a, 1 4 2 b) と、

5      上記第 1 の絶縁膜と上記ゲート電極、チャネル領域および拡散層領域を隔てることにより上記第 1 の絶縁体に保持された電荷の散逸を防ぐ機能を有する第 2 の絶縁体 (1 4, 2 1, 1 4 1, 1 4 1 a, 1 4 4) とを有することを特徴とする半導体記憶装置。

10      4. 請求項 3 に記載の半導体記憶装置において、

上記第 1 の絶縁体がシリコン窒化膜であり、上記第 2 の絶縁体がシリコン酸化膜であることを特徴とする半導体記憶装置。

5. 請求項 1 に記載の半導体記憶装置において、

15      上記電荷保持部は、電荷を蓄積する機能を有する第 1 の絶縁体 (1 5, 2 2, 1 4 2, 1 4 2 a, 1 4 2 b) と、第 1 の絶縁体に保持された電荷の散逸を防ぐ機能を有する第 2 および第 3 の絶縁体 (2 1, 2 3 ; 1 4 1, 1 4 3 ; 1 4 1 a, 1 4 3 a ; 1 4 4) とを有し、第 1 の絶縁体が第 2 の絶縁体と第 3 の絶縁体とに挟まれていることを特徴とする半導体記憶装置。

20

6. 請求項 5 に記載の半導体記憶装置において、

上記第 1 の絶縁体がシリコン窒化膜であり、上記第 2 および第 3 の絶縁体がシリコン酸化膜であることを特徴とする半導体記憶装置。

25      7. 請求項 5 に記載の半導体記憶装置において、

第 2 の絶縁体は、第 1 の絶縁膜と上記ゲート電極、チャネル領域および拡散層領域とを隔てるように設けられ、

上記チャネル領域上における第 2 の絶縁体の厚さ (T 1) が、上記ゲート絶縁膜の厚さ (T 2) よりも薄く、かつ 0. 8 nm 以上であることを特徴とする半導



体記憶装置。

8. 請求項 5 に記載の半導体記憶装置において、

第 2 の絶縁体は、第 1 の絶縁膜と上記ゲート電極、チャネル領域および拡散層領域とを隔てるように設けられ、

上記チャネル領域上における第 2 の絶縁体の厚さ ( $T_1$ ) が、上記ゲート絶縁膜の厚さ ( $T_2$ ) よりも厚く、かつ  $20\text{ nm}$  以下であることを特徴とする半導体記憶装置。

9. 請求項 5 に記載の半導体記憶装置において、

第 1 の絶縁体には、第 2 の絶縁体を介して上記ゲート絶縁膜の表面と平行な面と対向し、この面に沿って広がった面を有する部分が含まれていることを特徴とする半導体記憶装置。

10. 請求項 9 に記載の半導体記憶装置において、

第 1 の絶縁体には、第 2 の絶縁体を介して上記ゲート電極の側面と対向し、この側面に沿って広がった部分が含まれていることを特徴とする半導体記憶装置。

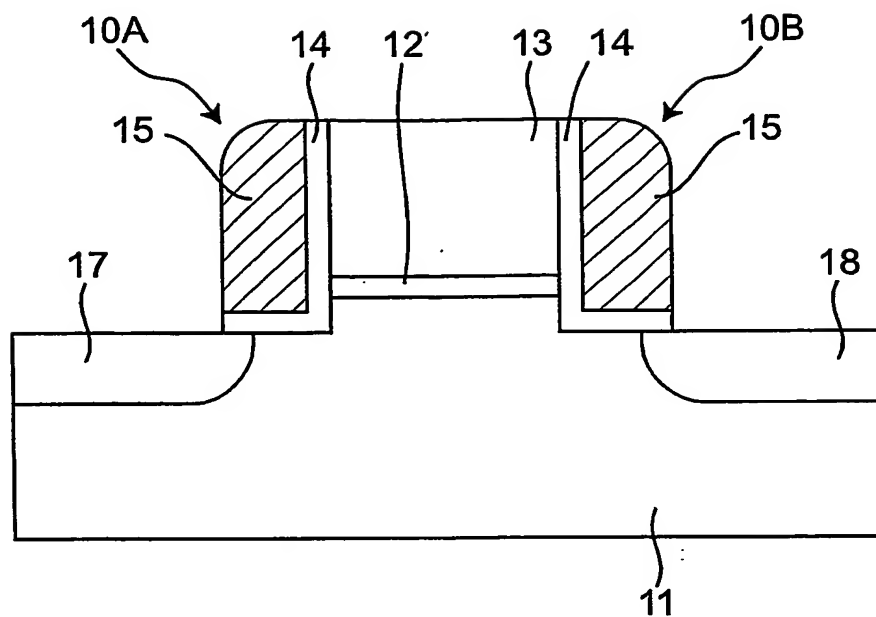
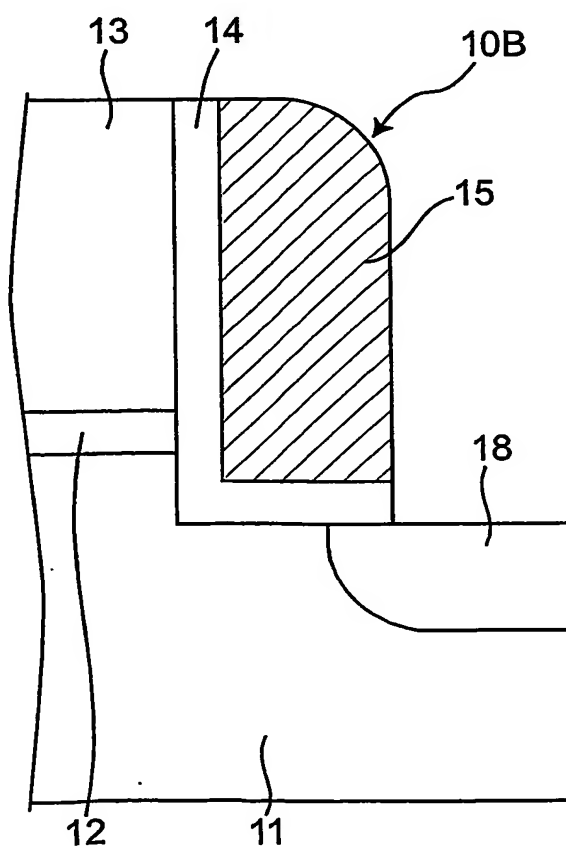
11. 請求項 1 に記載の半導体記憶装置において、

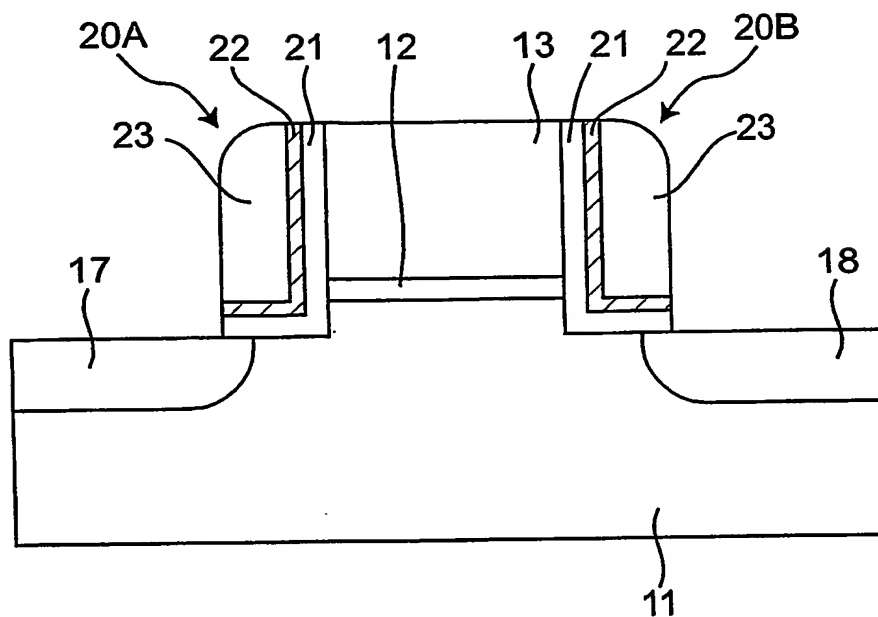
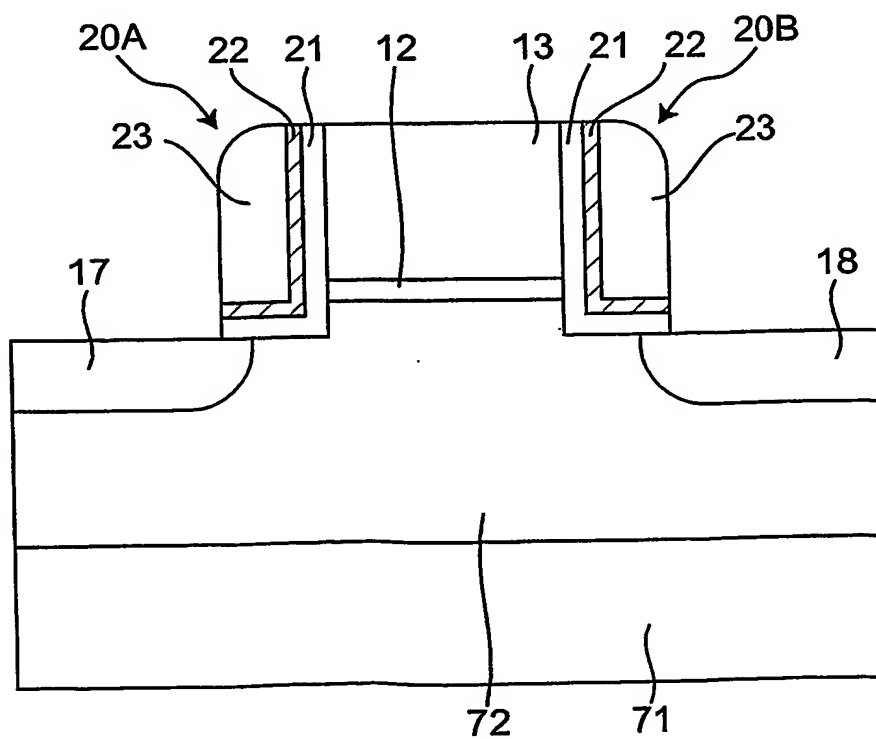
上記電荷保持部は、その少なくとも一部が、チャネル長方向において、上記拡散層領域と重なり合うように形成されていることを特徴とする半導体記憶装置。

12. 請求項 1 に記載の半導体記憶装置において、

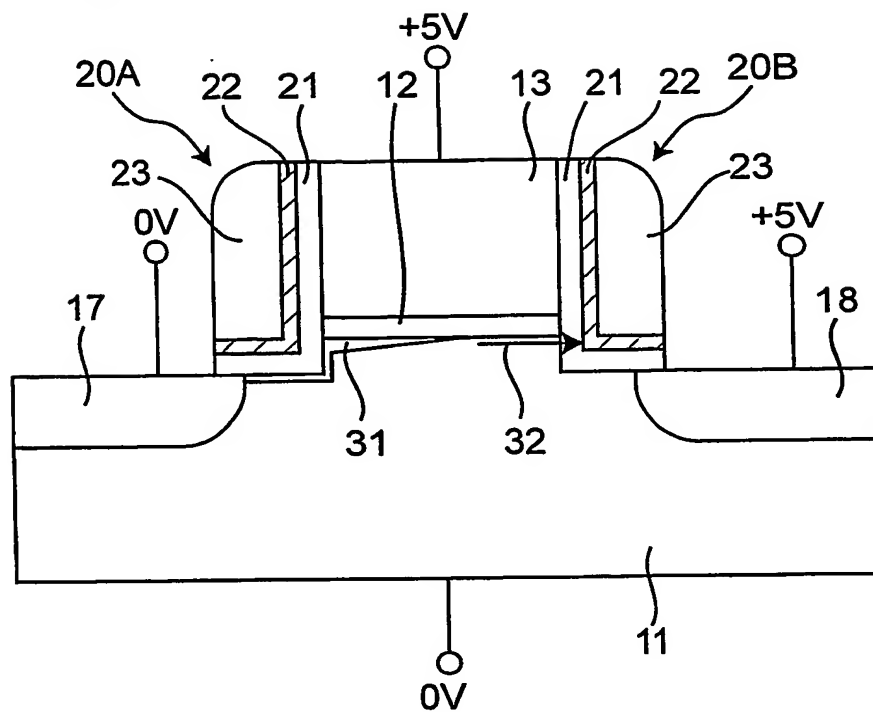
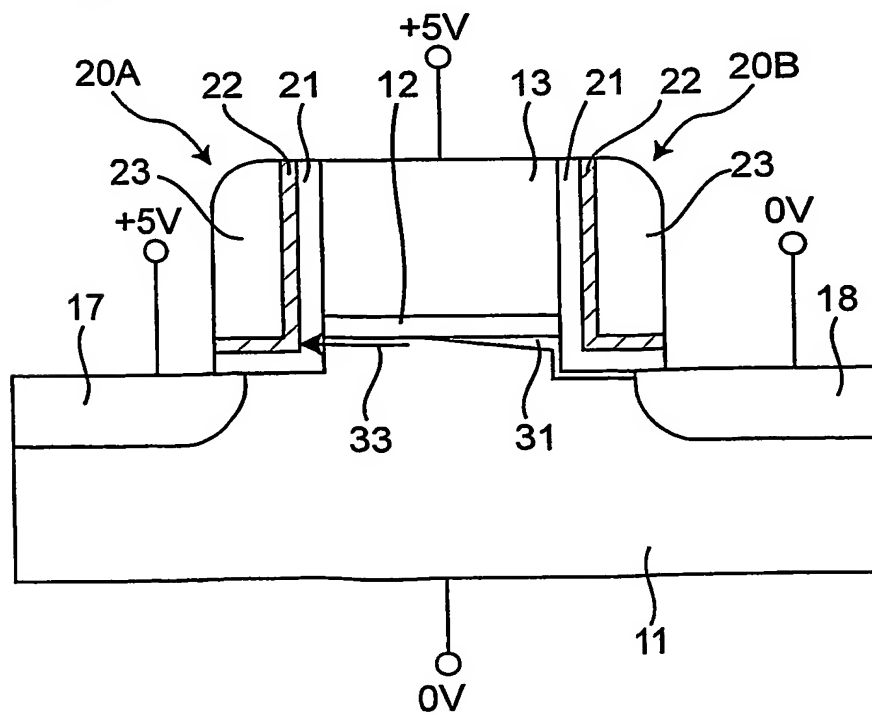
上記の両拡散領域間の距離 ( $B$ ) は、チャネル長方向のゲート電極長 ( $A$ ) よりも長くなるように設定され、

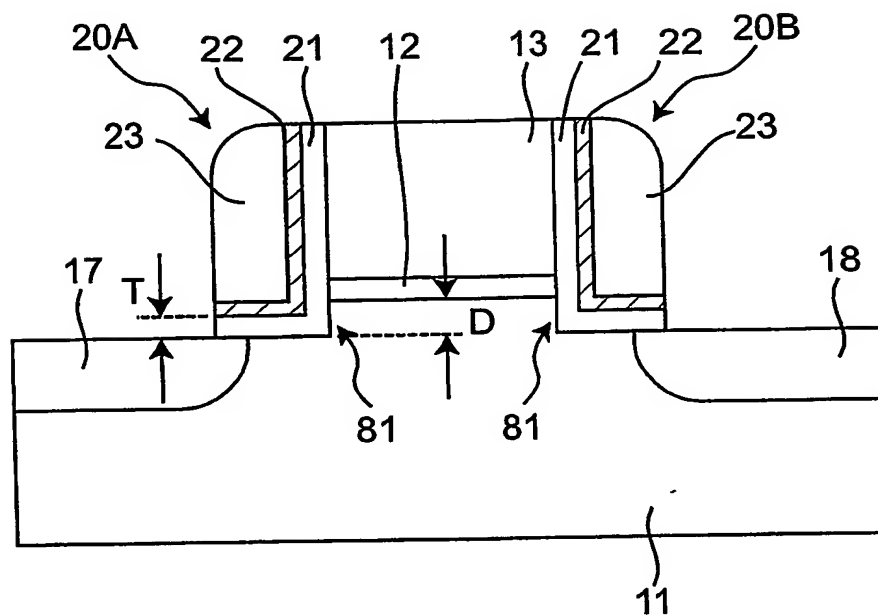
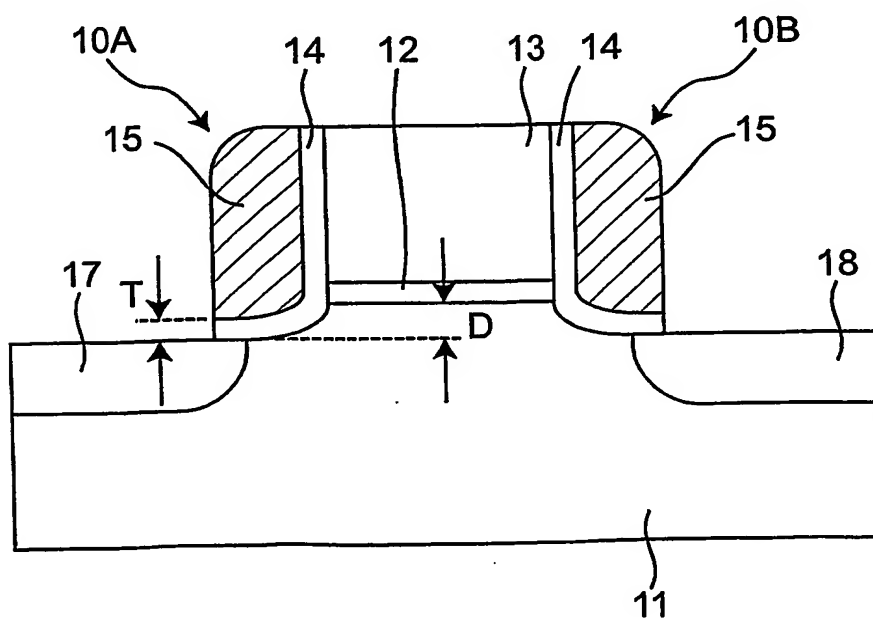
上記電荷保持部は、その一部のみが、チャネル長方向において、上記拡散層領域と重なり合うように形成されていることを特徴とする半導体記憶装置。

*Fig.1**Fig.2*

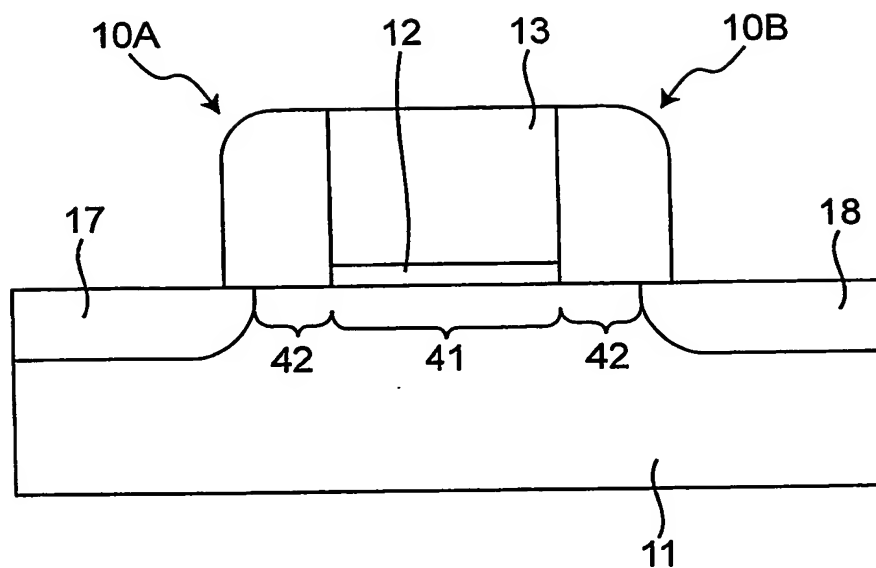
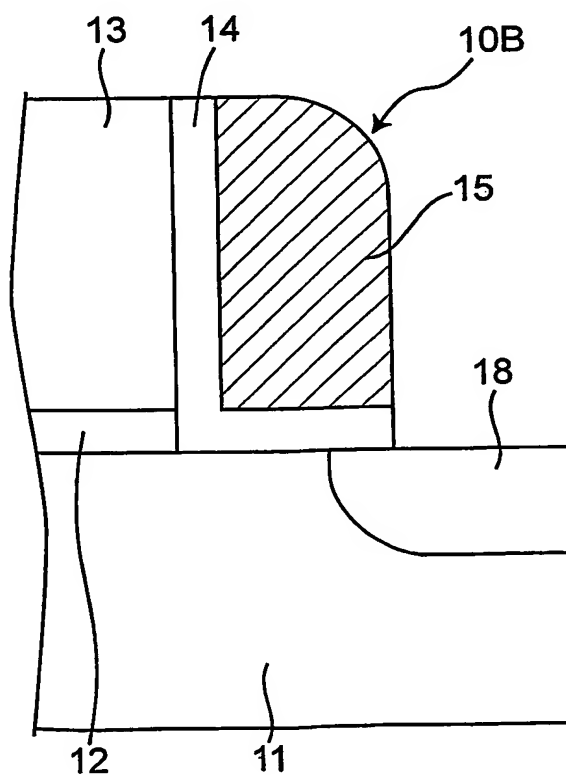
*Fig.3**Fig.4*

3/12

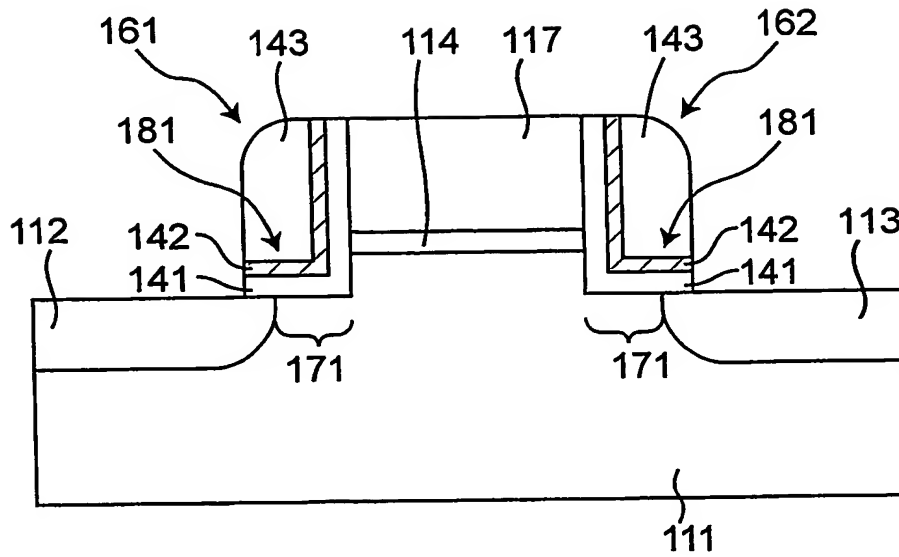
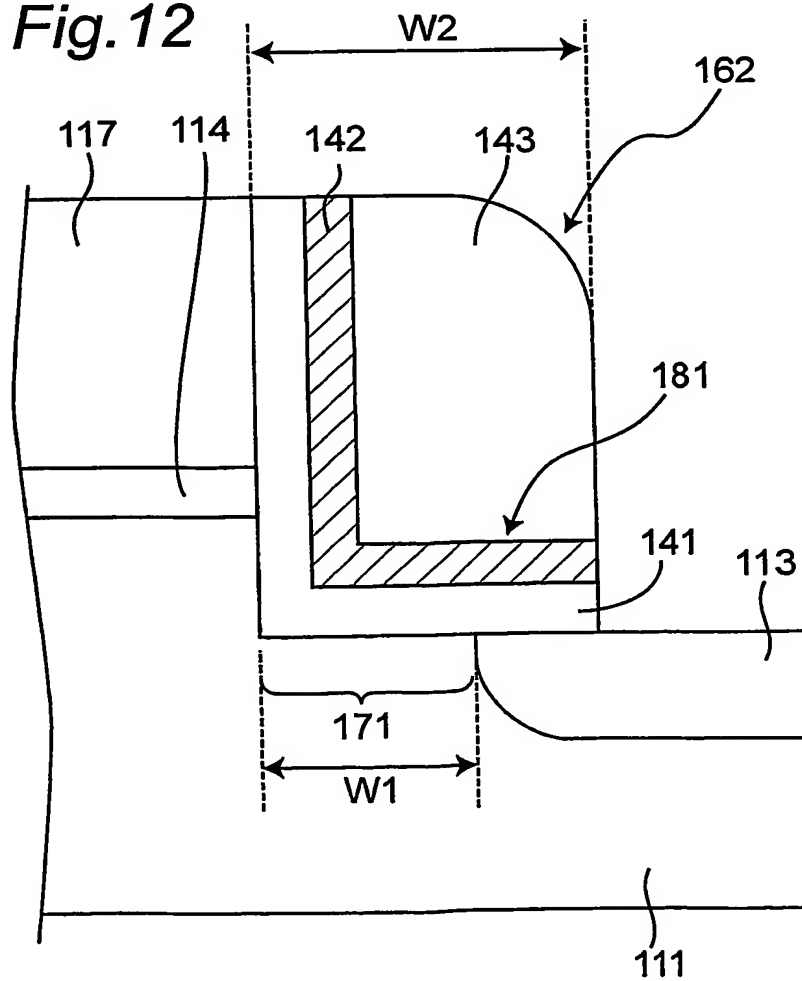
*Fig.5**Fig.6*

*Fig. 7**Fig. 8*

5/12

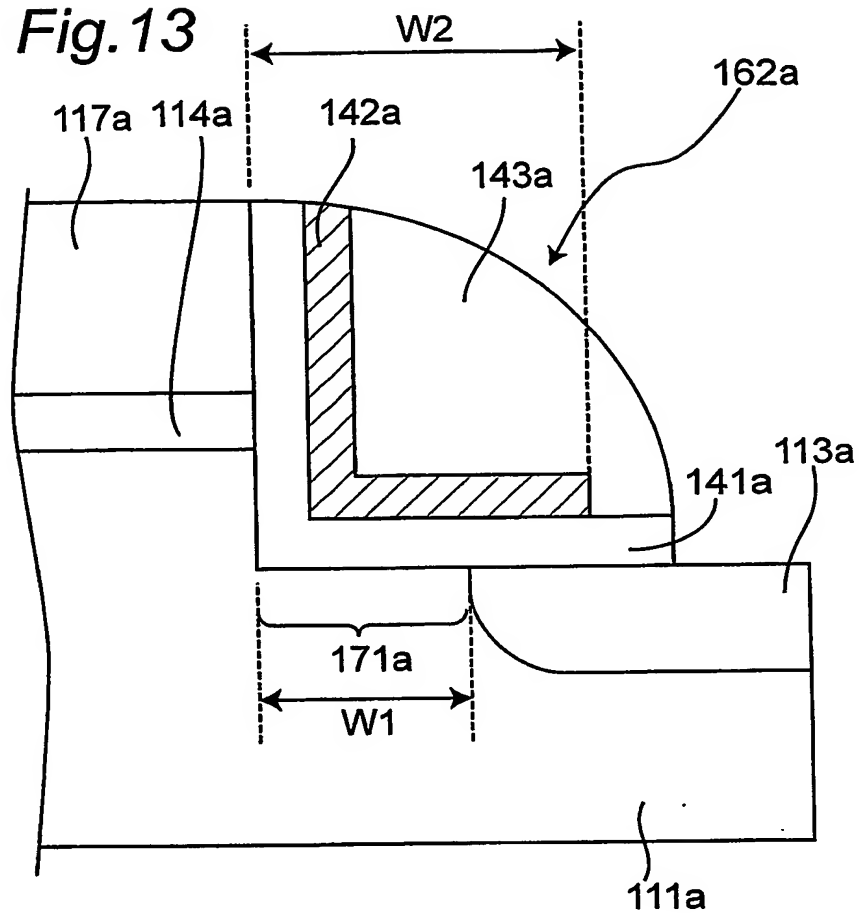
*Fig. 9**Fig. 10*

6/12

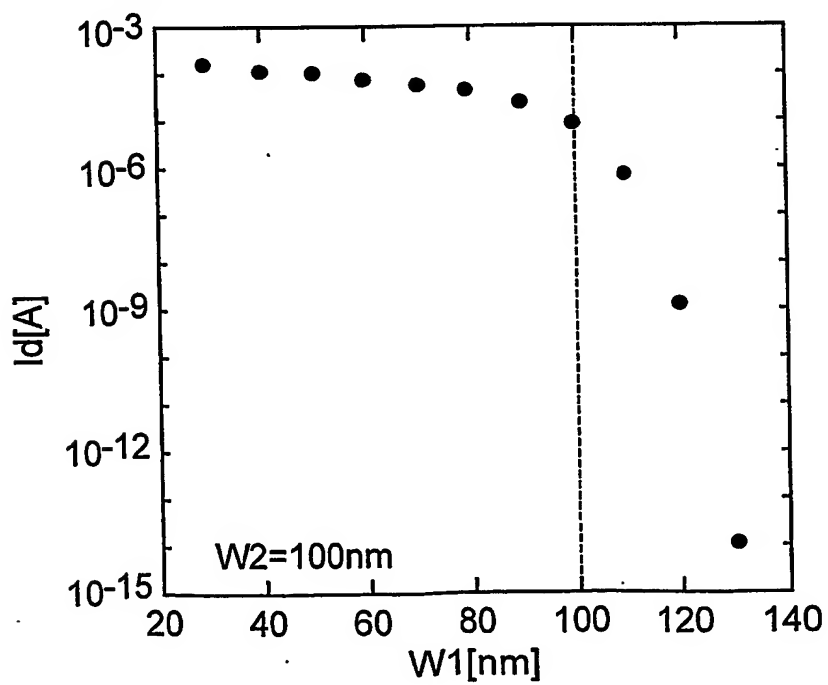
*Fig. 11**Fig. 12*

7/12

**Fig. 13**



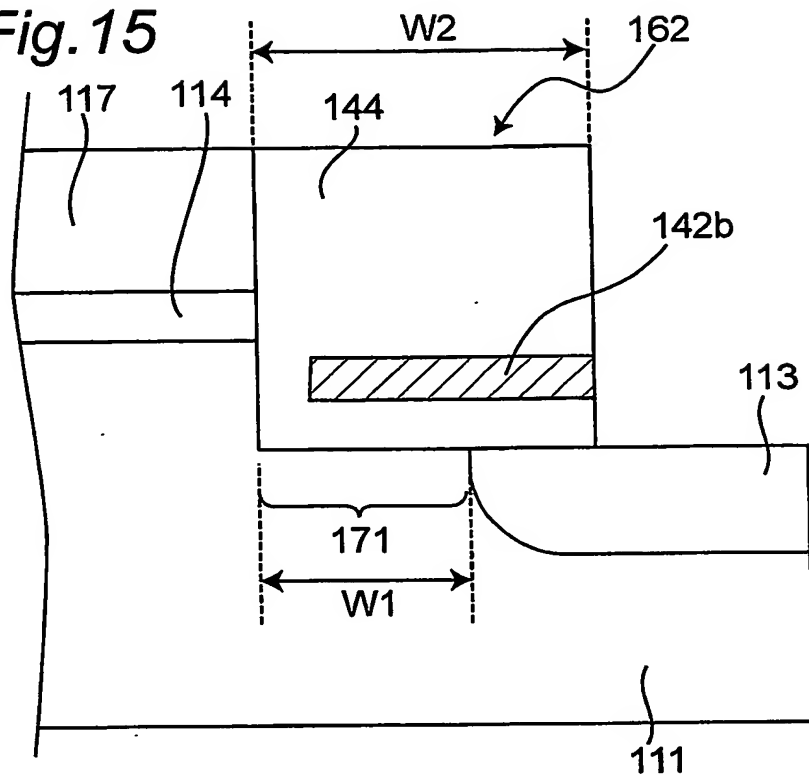
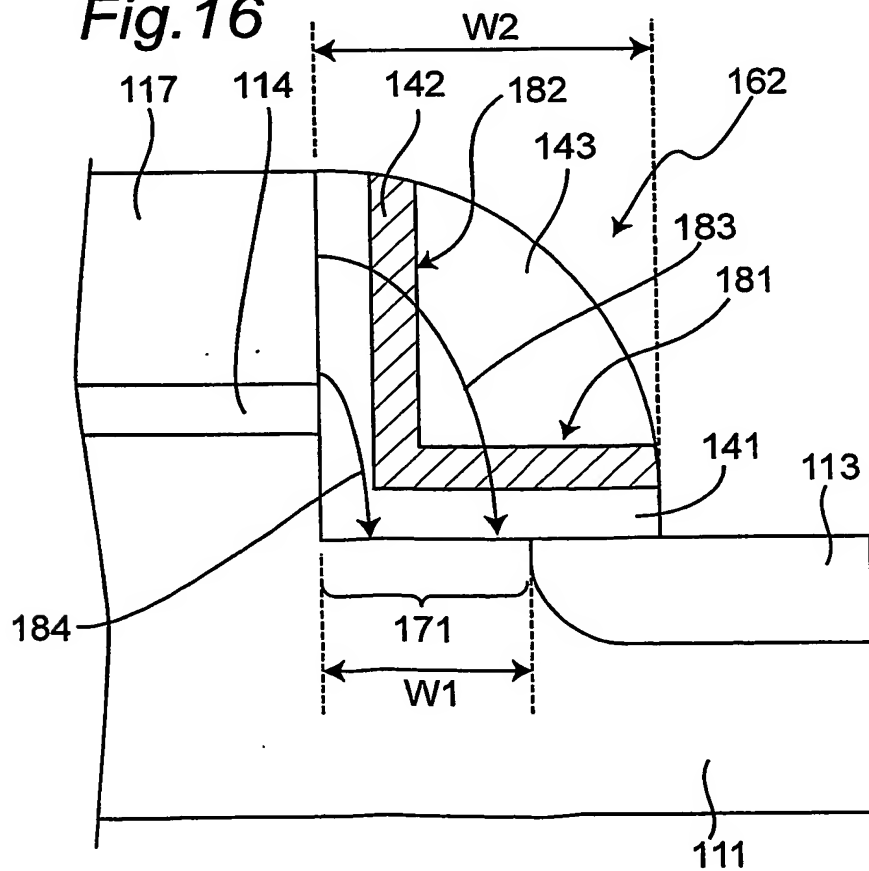
**Fig.14**

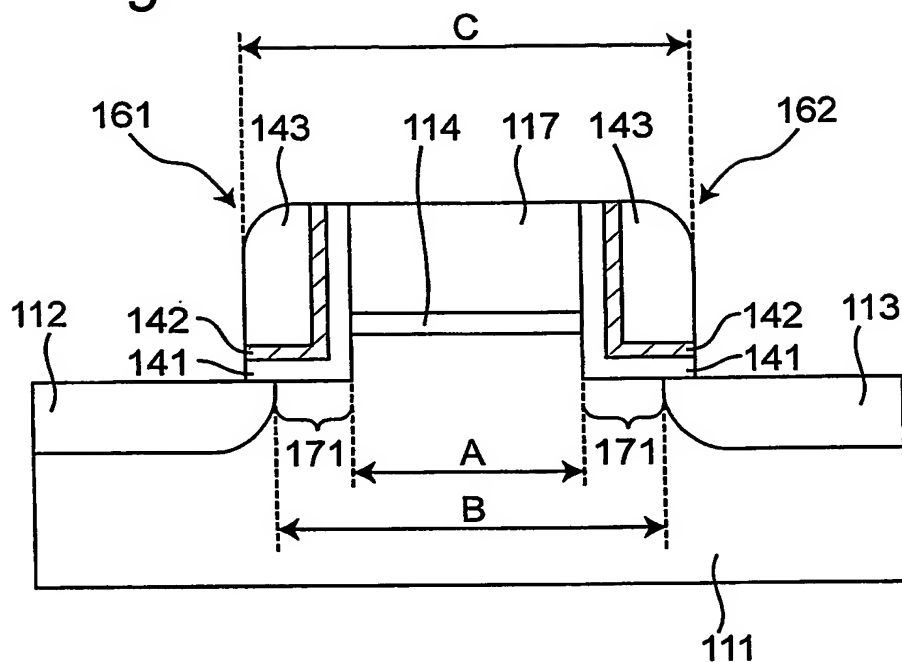
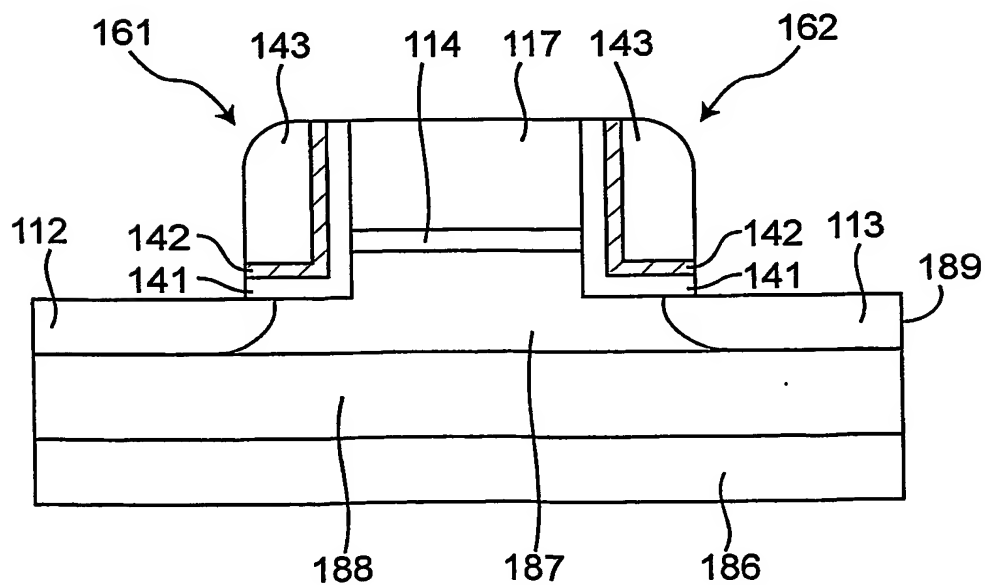


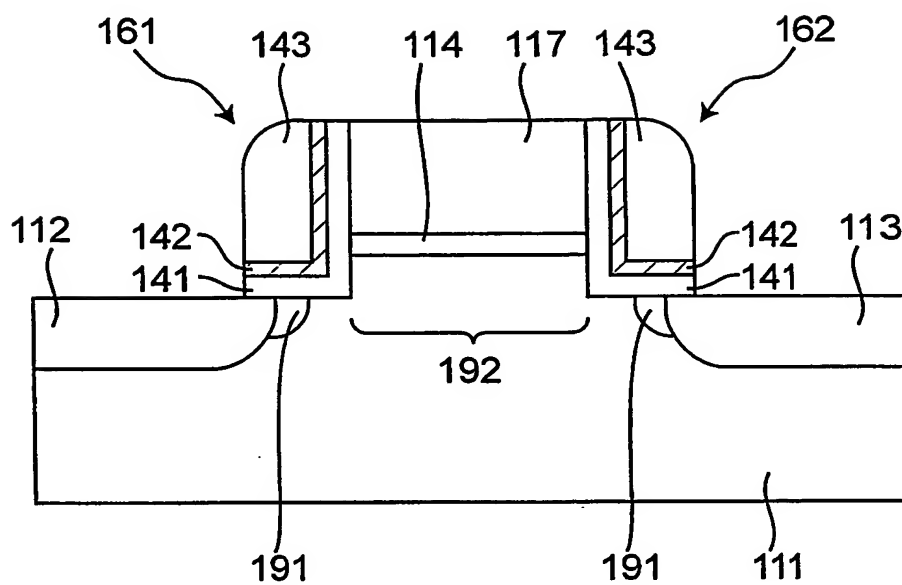
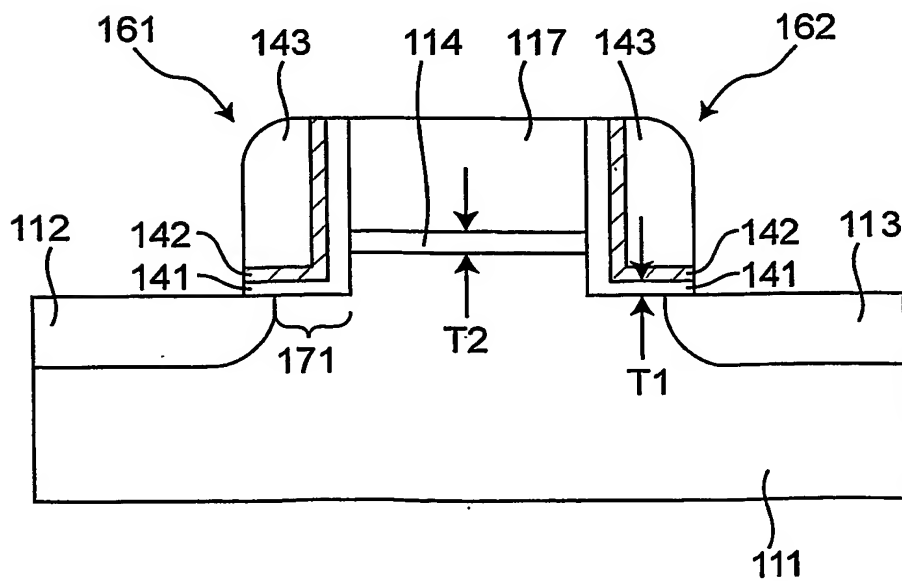
**W2=100nm**

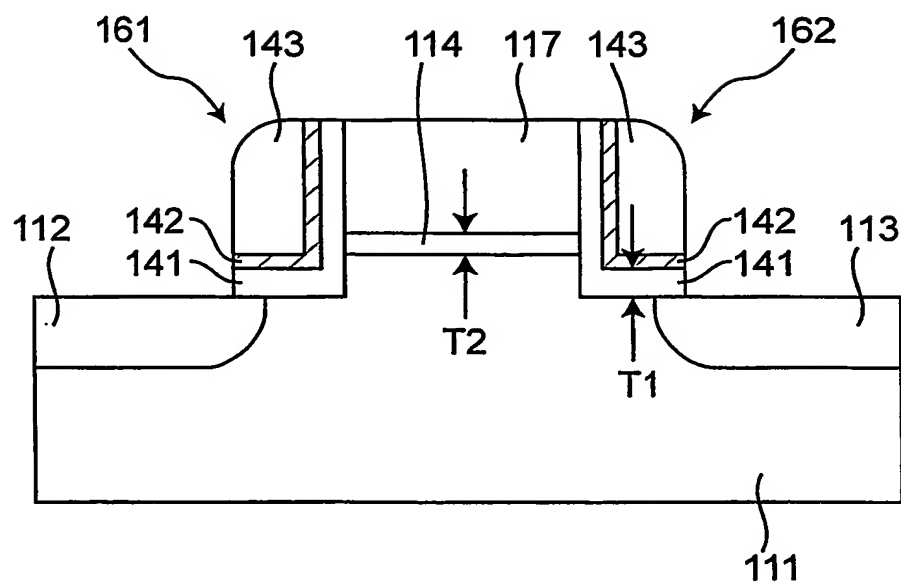
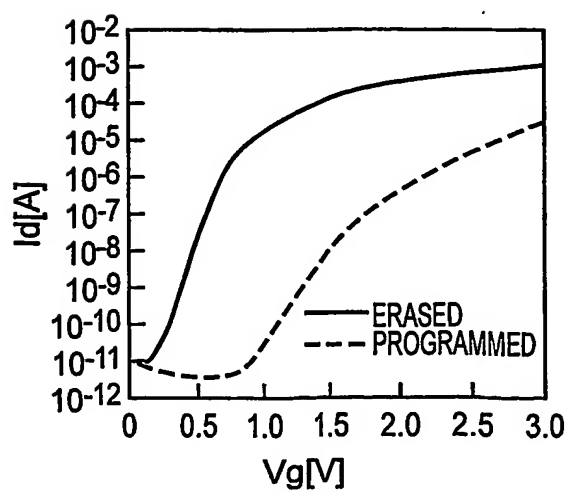
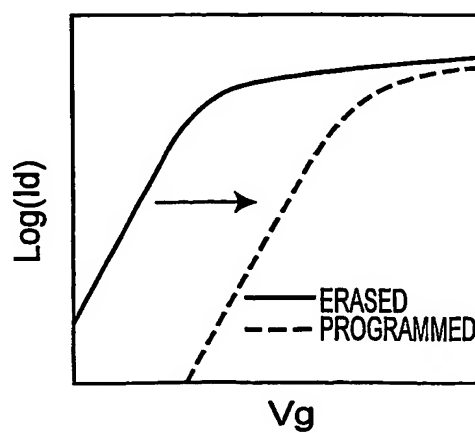


8/12

**Fig. 15****Fig. 16**

*Fig.17**Fig.18*

*Fig.19**Fig.20*

*Fig.21**Fig.22**Fig.23*



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/12583

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/788, H01L29/792, H01L27/115, H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/788, H01L29/792, H01L27/115, H01L21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6388293 kB1 (Seiki O. OGURA), 14 May, 2002 (14.05.02), Full text; all drawings & JP 2001-148434 A full text; all drawings	1, 2
X	JP 2002-170891 A (Halo LSI Design & Device Technology Inc.), 14 June, 2002 (14.06.02), Full text; all drawings & WO 02/43158 A1	1, 2

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
06 January, 2004 (06.01.04)

Date of mailing of the international search report  
20 January, 2004 (20.01.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12583

## Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As mentioned on (extra sheet), there must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. This international application contains eight groups of inventions: the inventions of claims 1, 2; the inventions of claims 3, 4; the inventions of claims 5, 6; the invention of claim 7; the invention of claim 8; the inventions of claims 9, 10; the invention of claim 11; and the invention of claim 12.

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.  
☐ No protest accompanied the payment of additional search fees.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12583

## Continuation of Box No. II of continuation of first sheet(1)

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-12 is linked only by the technical feature defined in claim 1.

This technical feature, however, cannot be a special technical feature since it is disclosed in prior art documents such as JP 2001-148434 A (Kabushiki Kaisha Nyuheiro), 29 May, 2001 (29.05.01), Figs. 20, 34 and JP 2002-170891 A (Halo LSI Design & Device Technology Inc.), 14 June, 2002 (14.06.02), Fig. 5.

Consequently, there is no special technical feature so linking the group of inventions of claims 1-12 as to form a single general inventive concept. Therefore, it appears that the group of inventions of claims 1-12 does not satisfy the requirement of unity of invention.

Next, the number of groups of inventions defined in the claims of this international application and so linked as to form a single general inventive concept, namely, the number of inventions will be examined.

Concerning the inventions of claims 1-12, since the technical feature of claim 1 cannot be a special technical feature, the claims 1-12 contain five groups of inventions: the inventions of claims 1, 2; the inventions of claims 3, 4; the inventions of claims 5-10; the invention of claim 11; and the invention of claim 12.

Claims 5-10 will be further examined in detail. Claims 5-10 are linked only by the technical feature defined in claim 5. The technical feature of claim 5, however, cannot be a special technical feature since it is disclosed in the above-mentioned prior art documents. Consequently, the claims 5-10 define four groups of inventions: the inventions of claims 5, 6; the invention of claim 7; the invention of claim 8; and the inventions of claims 9, 10.

Therefore, this international application is considered to contain eight groups of inventions: the inventions of claims 1, 2; the inventions of claims 3, 4; the inventions of claims 5, 6; the invention of claim 7; the invention of claim 8; the inventions of claims 9, 10; the invention of claim 11; and the invention of claim 12.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H01L29/788, H01L29/792, H01L27/115, H01L21/8247

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H01L29/788, H01L29/792, H01L27/115, H01L21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 6388293 B1 (Seiki O. OGURA) 2002.05.14 全文, 全図 & JP 2001-148434 A, 全文, 全図	1, 2
X	JP 2002-170891 A (ヘイロ エルエスアイ デザインアンドディヴァイス テクノロジー インコポレイテッド) 2002.06.14 全文, 全図 & WO 02/43158 A1	1, 2

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

06.01.2004

国際調査報告の発送日

20.1.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4M

9836

電話番号 03-3581-1101 内線 3460

## 第 I 欄 請求の範囲の一部の調査ができないときの意見 (第 1 ページの 2 の続き)

法第 8 条第 3 項 (P C T 1 7 条 (2) (a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であって P C T 規則 6. 4 (a) の第 2 文及び第 3 文の規定に従って記載されていない。

## 第 II 欄 発明の単一性が欠如しているときの意見 (第 1 ページの 3 の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

(特別ページ) に記載したように、請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、[1, 2]、[3, 4]、[5, 6]、[7]、[8]、[9, 10]、[11] 及び [12] に区分される 8 個の発明が記載されている。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-12に記載されている一群の発明は、請求の範囲1に記載された事項でのみ連関していると認められる。

しかしながら、この事項は先行技術文献、例えば、JP 2001-148434 A(株式会社ニューヘイロ)、2001.05.29、図20, 34, JP 2002-170891 A(ヘイロ エルエスアイ デザインアンドディヴァイス テクノロジー インコーポレイテッド)、2002.06.14、図5に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-12に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲1-12に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数につき検討する。

請求の範囲1-12に記載されている発明について検討するに、請求の範囲1に記載された事項は特別な技術的特徴とはなり得ないため、[1, 2]、[3, 4]、[5-10]、[11]、[12]に区分される5個の発明が記載されている。

請求の範囲5-10について、更に詳細に検討する。請求の範囲5-10は、請求の範囲5に記載されている事項でのみ一応連関しているものの、請求の範囲5に記載されている事項は、上記先行技術文献に記載されているため、特別な技術的特徴とはなり得ないため、請求の範囲5-10には、[5, 6]、[7]、[8]、[9, 10]に区分される4個の発明が記載されている。

まとめると、この国際出願の請求の範囲には、[1, 2]、[3, 4]、[5, 6]、[7]、[8]、[9, 10]、[11]及び[12]に区分される8個の発明が記載されていると認める。